

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 43 11 266 A 1

51 Int. Cl. 5:
H 05 K 3/22
H 05 K 3/34
C 23 C 18/42

21 Aktenzeichen: P 43 11 266.8
22 Anmeldetag: 6. 4. 93
43 Offenlegungstag: 14. 10. 93

DE 43 11 266 A 1

30 Unionspriorität: 32 33 31

13.04.92 JP 92634/92 11.05.92 JP 146512/92
12.03.93 JP 052140/93

71 Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

74 Vertreter:

Popp, E., Dipl.-Ing./Dipl.-Wirtsch.-Ing./Dr. rer. pol.;
Sajda, W., Dipl.-Phys.; Reinländer, C., Dipl.-Ing./
Dr.-Ing., 80538 München; Bohnenberger, J.,
Dipl.-Ing./Dr. phil. nat., 8000 München; Bolte, E.,
Dipl.-Ing.; Möller, F., Dipl.-Ing., Pat.-Anwälte, 28209
Bremen

72 Erfinder:

Fujita, Minoru, Amagasaki, Hyogo, JP; Kawasaki,
Naoshige, Amagasaki, Hyogo, JP; Sunamoto,
Masatoshi, Amagasaki, Hyogo, JP; Morita, Takeshi,
Amagasaki, Hyogo, JP; Takahama, Takashi,
Amagasaki, Hyogo, JP; Hayashi, Osamu,
Amagasaki, Hyogo, JP; Uzaki, Syunsuke,
Amagasaki, Hyogo, JP; Sudo, Toshihide,
Amagasaki, Hyogo, JP

54 Stromlos lötbeschichtete Leiterplatte und Verfahren zur Herstellung einer solchen

57 Die Erfindung betrifft ein Verfahren zur Herstellung einer Leiterplatte, deren Verdrahtungsmusterteil mit einer Lötlegierungsschicht durch ein Stromlos-Lötbeschichtungsverfahren versehen ist. Man geht so vor, daß man Verdrahtungsmuster auf einem Substrat für die Leiterplatte bildet; einen ersten Teil, der einer Lötlegierungsbeschichtung bedarf, mit einer Isolierungsmaske bedeckt; eine Stromlos-Beschichtung mit einem Metall, das nicht von einer Stromlos-Lötbeschichtungslösung angegriffen wird, auf einem zweiten Teil durchführt, der nicht mit der Isolierungsmaske abgedeckt ist, wodurch eine Metallmaske auf dem zweiten Teil gebildet wird; die Isolierungsmaske abtrennt; das Substrat für die Leiterplatte in die Stromlos-Lötbeschichtungslösung eintaucht, wodurch die Lötlegierung auf dem ersten Teil abgeschieden wird, der nicht mit der Metallmaske bedeckt ist.

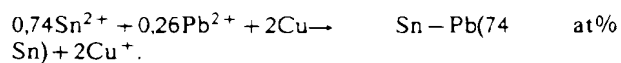
DE 43 11 266 A 1

Beschreibung

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Leiterplatte nach dem Oberbegriff des Anspruchs 1. Insbesondere betrifft die Erfindung ein Verfahren zur Herstellung einer Leiterplatte, bei dem eine Lötlegierung auf Verdrahtungsmustern der Leiterplatte abgeschieden wird, indem eine Stromlos-Lötbeschichtung auf den Verdrahtungsmustern, ohne die Kupferbeschichtungsdicke einer Durchgangsbohrung zu verringern, durchgeführt wird.

Fig. 8 zeigt ein Flußdiagramm, das einen Ablauf eines Verfahrens zur Herstellung einer Leiterplatte nach dem Stand der Technik darstellt, welches in der JP 321183/1990 offenbart ist. Bei einer herkömmlichen Leiterplatte nach dem Stand der Technik wird die Leiterplatte, nachdem ein Verdrahtungsmuster oder Verdrahtungsmuster auf der Leiterplatte gebildet und eine Löt- abdeckung aufgetragen oder auflackiert ist, in eine Beschichtungslösung einer Stromlos-Lötbeschichtung eingetaucht, wodurch ein zugänglicher Kupfermetall-Teil mit Zinn-Ionen und Blei-Ionen in der Beschichtungslösung reagiert und eine Lötlegierung mit Zinn und Blei als Hauptkomponenten auf den Kupfermustern abgeschieden wird.

Als Beschichtungslösung der Stromlos-Lötbeschichtung wird eine Lösung mit Zinn, Blei, einer organischen Sulfonsäure und Thiocarbamid als Hauptkomponenten verwendet, wie beispielsweise aus der JP 290774/1989 bekannt ist. Die Beschichtungslösung einer Stromlos-Lötbeschichtung kann eine Lötlegierung, deren Hauptkomponenten Zinn und Blei sind, auf dem Kupfermetall wie oben erwähnt abscheiden. Bei derartigen Beschichtungslösungen von Stromlos-Lötbeschichtungen wird eine Lötlegierung durch mit dem Kupfermetall reagierende Zinn/Blei-Ionen in der Beschichtungslösung gemäß der folgenden Verschiebungsreaktion abgeschieden.



In der obigen Reaktionsformel werden 2 Mole Kupfer in der Beschichtungslösung gelöst, wenn 1 Mol der Lötlegierung (74 at% Sn) abgeschieden wird. Damit entspricht eine Dicke der Lötlegierungsschicht (74 at% Sn) von 1 µm der Dicke einer gelösten Kupferschicht von 0,85 µm. Weiter wird die Kupferschichtdicke in einem Kupferätzschritt und dergleichen vermindert, der dem Stromlos-Lötbeschichtungsschritt vorausgeht. Damit wird die die obige Abnahmequantität übersteigende Abnahme der Kupferschichtdicke eigentlich verursacht.

Da die Stromlos-Lötbeschichtung nach dem herkömmlichen Verfahren zum Herstellen einer Leiterplatte wie oben genannt durchgeführt wird, ist die Abnahmequantität beträchtlich, wenn eine dicke Lötlegierungsschicht mit einer Dicke von nicht weniger als 10 µm abgeschieden werden soll. Beispielsweise Fußkontaktierungsmuster zum Befestigen eines IC-Gehäuses, insbesondere eines IC-Gehäuses mit feinen Anschlußleitungen wie bei einem TCP (Bandträgerpackung), erfordern eine hohe Abmessungsgenauigkeit. Wenn jedoch die Mustergröße durch Durchführen einer Stromlos-Lötbeschichtung verringert wird, wird es schwierig, diese IC-Gehäuse mit hoher Genauigkeit zu montieren.

Weiter ist bekannt, daß eine Durchgangsbohrung der Leiterplatte eine geringe thermische Ermüdungswiderstandsfähigkeit hat, wenn die Kupferschichtdicke nicht

gleich oder größer als mindestens 25 µm ist. Fig. 9B ist ein Diagramm, das einen Querschnitt einer Durchgangsbohrung 31 einer Leiterplatte bei thermischer Beanspruchung im Vergleich mit derjenigen aus Fig. 9A in der normalen Situation veranschaulicht. Wenn die thermische Belastung auf eine Durchgangsbohrung 31 mit einer dünnen Beschichtungsdicke einwirkt, wird ein Sprung 34 am zentralen, beschichteten Teil verursacht, da der beschichtete Teil einer Belastung nicht widerstehen kann, die durch unterschiedliche thermische Ausdehnungskoeffizienten eines Harzteils 32 und eines Kupfermetalls 33 verursacht wird. Für den Fall einer kleinen Durchgangsbohrung mit einem Durchmesser von 0,3 bis 0,6 mm ist es schwierig, die Kupferbeschichtung bis zu einer Schichtdicke durchzuführen, die einer Abnahme der Kupferschichtdicke Rechnung trägt, die durch die Stromlos-Lötbeschichtung vermindert wird.

Wie oben beschrieben, ist bei einem herkömmlichen Verfahren zur Herstellung einer Leiterplatte durch eine Stromlos-Lötbeschichtung die Mustergenauigkeit schlecht, und die Zuverlässigkeit ist vermindert, da keine Gegenmaßnahme in Bezug auf die Abnahme der Mustergröße und der Kupferdicke der Durchgangslöcher vorgesehen ist.

Aufgabe der vorliegenden Erfindung ist es, die o. g. Probleme zu lösen und ein Verfahren zur Herstellung einer Leiterplatte zu schaffen, das in der Lage ist, eine Verminderung der Zuverlässigkeit durch die Abnahme der Kupferschichtdicke zu verhindern, welche verursacht wird, wenn eine Stromlos-Lötbeschichtung auf Verdrahtungsmustern durchgeführt wird.

Gemäß einem ersten Aspekt der vorliegenden Erfindung wird ein Verfahren zur Herstellung einer Leiterplatte gezeigt, deren Verdrahtungsmusterteil eine Lötlegierungsschicht durch ein Stromlos-Lötlegierungsverfahren aufweist, wobei Verdrahtungsmuster auf einem Substrat für die Leiterplatte gebildet werden;

ein erster Teil, der einer Lötlegierungsschicht bedarf, mit einer Isolierungsmaske abgedeckt wird; eine Stromlos-Beschichtung mit einem Metall, das nicht durch eine Stromlos-Lötlegierungslösung angegriffen wird, auf einem zweiten Teil durchgeführt wird, der nicht mit der Isolierungsmaske abgedeckt ist, wodurch eine Metallmaske auf dem zweiten Teil gebildet wird; die Isolierungsmaske abgetrennt wird; das Substrat für die Leiterplatte in die Stromlos-Lötbeschichtungslösung eingetaucht wird, wodurch die Lötlegierung auf dem ersten Teil abgeschieden wird, der nicht mit der Metallmaske abgedeckt ist.

Gemäß einem zweiten Aspekt der vorliegenden Erfindung wird eine Leiterplatte gezeigt, deren Verdrahtungsmusterteil mit einer Lötlegierungsschicht durch ein Stromlos-Lötbeschichtungsverfahren überzogen ist, wobei eine erste Dicke einer ersten Lötlegierungsschicht, die auf Durchgangslöchern abgeschieden ist, kleiner ist als eine zweite Dicke einer zweiten Lötlegierungsschicht, die auf feinen Kontaktierungen abgeschieden ist.

Gemäß einem dritten Aspekt der vorliegenden Erfindung wird ein Verfahren zur Herstellung einer Leiterplatte gemäß dem zweiten Aspekt gezeigt, deren Verdrahtungsmusterteil mit einer Lötlegierungsschicht durch ein Stromlos-Lötbeschichtungsverfahren versehen ist, wobei

Verdrahtungsmuster auf einem Substrat für die Leiterplatte gebildet werden; die feinen Kontaktierungen mit einer ersten Abdeck-

maske abgedeckt werden;

eine erste Stromlos-Lötbeschichtung auf den zugänglichen Durchgangslöchern durchgeführt wird, wodurch eine erste Lötlegierungsschicht gebildet wird;

die erste Abdeckungsmaske abgelöst wird;

die Durchgangslöcher mit zweiten Abdeckmasken abgedeckt werden;

eine zweite Stromlos-Lötbeschichtung an den feinen Kontaktierungen durchgeführt wird, wodurch eine zweite Lötlegierungsschicht auf den feinen Kontaktierungen geschaffen wird, wobei eine erste Dicke der ersten Lötlegierungsschicht, die auf den Durchgangslöchern abgeschieden wurde, kleiner ist als die zweite Schicht einer zweiten Lötlegierungsschicht, die auf den feinen Kontaktierungen abgeschieden wurde;

und die zweiten Abdeckmasken abgelöst werden.

Gemäß einem vierten Aspekt der vorliegenden Erfindung wird ein Verfahren zur Herstellung einer Leiterplatte gezeigt, deren Verdrahtungsmusterteil mit einer Lötbeschichtung durch ein Lötlegierungsbeschichtungsverfahren versehen ist, wobei Verdrahtungsmuster und Lötabdeckungen auf einem Substrat für eine Leiterplatte gebildet werden;

eine Stromlos-Kupferbeschichtung auf Kupferfußkontaktierungsmustern und Durchgangslöcher auf den Verdrahtungsmustern durchgeführt wird; und eine Lötlegierung auf dem Kupferfußkontaktierungsmuster und den Durchgangslöchern durch eine Stromlos-Lötbeschichtung abgeschieden wird.

Gemäß einem fünften Aspekt der vorliegenden Erfindung wird ein Verfahren zur Herstellung einer Leiterplatte gezeigt, deren Verdrahtungsmusterteil mit einer Lötlegierungsschicht durch ein Stromlos-Lötbeschichtungsverfahren überzogen ist, wobei die Stromlos-Lötbeschichtung durchgeführt wird, während sich ein Substrat für die Leiterplatte in Ruhe befindet oder fortwährend in einer Beschichtungslösung hin- und herbewegt wird.

Bei dem Verfahren zur Herstellung einer Leiterplatte gemäß dem ersten Aspekt dieser Erfindung wird das Durchgangsbohrungsteil vorhergehend mit einem Metall belegt, das nicht durch die Beschichtungslösung der Stromlos-Lötbeschichtung angegriffen wird. Damit wird sogar dann, wenn die Leiterplatte in eine Beschichtungslösung der Stromlos-Lötbeschichtung eingetaucht wird, keine Stromlos-Lötbeschichtungsreaktion am Durchgangsbohrungsteil ausgelöst, und die Kupferbeschichtungsdicke der Durchgangslöcher wird nicht vermindert.

Bei der Leiterplatte gemäß dem zweiten und dritten Aspekt dieser Erfindung wird die Abnahme der Kupferschichtdicke der Durchgangsbohrungen beschränkt, da eine dünnere Lötlegierungsschicht auf den Durchgangsbohrungen und den Kontaktierungen zum Befestigen von Teilen der Verdrahtungsmuster durch die erste Stromlos-Lötbeschichtung vorgesehen ist, und die Lötlegierungsschicht, die dicker ist als die Lötlegierungsschicht, die an der Durchgangsbohrung abgeschieden ist, wird auf den feinen Kontaktierungen abgeschieden, da diese feinen Kontaktierungen mit der ersten Abdeckmaske beim ersten Lötbeschichtungsschritt abgedeckt und die Durchgangsbohrung und die Kontaktierungen zum Befestigen von Teilen mit der zweiten Abdeckmaske beim zweiten Lötbeschichtungsschritt abgedeckt sind.

Bei dem Verfahren zur Herstellung einer Leiterplatte gemäß dem vierten Aspekt der vorliegenden Erfindung wird die Stromlos-Kupferbeschichtung auf den Kupfer-

fußkontaktierungsteilen und den Durchgangsbohrungsteilen vorhergehend bis zu einer Dicke durchgeführt, die der durch die Stromlos-Lötbeschichtung verminderte Kupferschichtdicke entspricht. Damit kann die Abnahme der Kupferschicht auf den Kupferfußkontaktierungsteilen und den Durchgangsbohrungsteilen verhindert werden, wenn die nur zur Beschichtungsdicke der Stromlos-Kupferbeschichtung korrespondierende Verschiebungsreaktion durchgeführt wird.

Bei dem Verfahren zur Herstellung einer Leiterplatte gemäß dem fünften Aspekt der vorliegenden Erfindung wird eine dicke Lötlegierungsschicht auf dem Oberflächenmusterteil gebildet, und ein dünner Lötteil wird auf dem Durchgangsbohrungsteil gebildet, da die Beschichtung bei der Stromlos-Lötbeschichtung durchgeführt wird, während ein Substrat für die Leiterplatte bewegungslos ist oder ständig hin- und herbewegt wird. Damit kann die Abnahmekapazität der Kupferschichtdicke der inneren Wand der Durchgangsbohrung kleiner gehalten werden als diejenige der Oberflächenmuster.

Nachfolgend wird die Erfindung anhand der Beschreibung bevorzugter Ausführungsformen unter Bezug auf die beiliegenden Zeichnungen näher erläutert. Hierbei zeigen:

Fig. 1 ein Flußdiagramm, das den Ablauf des Verfahrens zur Herstellung einer Leiterplatte gemäß einer ersten Ausführungsform dieser Erfindung zeigt;

Fig. 2A—2D schematische Schnitte, welche die Zustände einer Leiterplatte bei den entsprechenden Schritten nach **Fig. 1** zeigen;

Fig. 3 eine Kennlinie, welche die Beziehung zwischen der Lötmitteldicke und der Beschichtungszeit für den Fall aufzeigt, bei dem eine Lötlegierung auf Kupfermustern durch das Verfahren zur Herstellung einer Leiterplatte nach **Fig. 1** abgeschieden wird;

Fig. 4 ein Flußdiagramm, das einen Ablauf des Verfahrens zur Herstellung einer Leiterplatte gemäß einer zweiten Ausführungsform dieser Erfindung darstellt;

Fig. 5A—5E schematische Schnitte, welche die Zustände einer Leiterplatte bei den entsprechenden Schritten nach **Fig. 4** darstellen;

Fig. 6 eine Kennlinie, welche die Beziehung zwischen der Kupferdicke-Abnahme und der Beschichtungszeit für den Fall zeigt, bei dem keine Behandlung auf einem Teil, das keine Lötbeschichtung benötigt, durchgeführt wurde und auf dem eine Stromlos-Lötbeschichtung erfolgt;

Fig. 7A—7C Darstellungen mit Abschnitten eines Durchgangsbohrungsteils für den Fall, bei dem eine Stromlos-Lötbeschichtung durchgeführt wurde, und für den Fall, bei dem keine Stromlos-Lötbeschichtung durchgeführt wurde;

Fig. 8 ein Flußdiagramm, das den Ablauf einer herkömmlichen Methode zur Herstellung einer Leiterplatte zeigt;

Fig. 9A und 9B schematische Schnitte, die Abschnitte einer Durchgangsbohrung einer Leiterplatte vergleichen, wenn eine thermische Belastung angelegt wird, für den Fall, daß die Kupferbeschichtungsdicke der Durchgangsbohrung klein ist und für den Fall einer Durchgangsbohrung in einer normalen Situation;

Fig. 10 ein Flußdiagramm, das den Ablauf des Verfahrens zur Herstellung einer Leiterplatte nach einer dritten Ausführungsform dieser Erfindung zeigt;

Fig. 11A—11G Schnitte, die schematisch Zustände eines Substrats mit Hinsicht auf die entsprechenden Schritte nach **Fig. 10** zeigen;

Fig. 12A—12D Darstellungen, die Abschnitte einer

Durchgangsbohrung für den Fall vergleichen, daß die Stromlos-Lötbeschichtung bis zu einer Schichtdicke von 10 µm oder mehr durchgeführt wird, und daß die Stromlos-Lötbeschichtung bis zu 5 µm oder mehr durchgeführt wird;

Fig. 13 ein Flußdiagramm, das einen Ablauf eines Verfahrens zur Herstellung einer Leiterplatte gemäß einer sechsten Ausführungsform dieser Erfindung zeigt;

Fig. 14 ein Flußdiagramm, das den Ablauf eines Verfahrens zur Herstellung einer Leiterplatte gemäß einer siebten Ausführungsform dieser Erfindung zeigt;

Fig. 15 eine Kennlinie, welche die Beziehung zwischen der Lötmitteldicke und der Schwenkgeschwindigkeit der Beschichtungslösung bei einer Stromlos-Lötbeschichtung zeigt; und

Fig. 16A und 16B Kennlinien, welche die Beziehung zwischen der Mustergröße einer Kupferschicht, die mit einer Stromlos-Lötbeschichtung belegt wird, und der Stromlos-Lötbeschichtungsstärke, mit einem Vergleich der Substratzustände darstellt.

Beispiel 1

Fig. 1 ist ein Flußdiagramm, das den Ablauf eines Verfahrens zur Herstellung einer Leiterplatte gemäß einer ersten Ausführungsform dieser Erfindung darstellt, und die Fig. 2A, 2B, 2C bzw. 2D sind schematische Schnittdiagramme, die die Zustände eines Substrats bei den entsprechenden Schritten zeigen.

Ein Maskierungsschritt wird durchgeführt, wobei ein Teil, der keine Stromlos-Lötbeschichtung benötigt, wie eine Durchgangsbohrung 3, mit einer Maske 5 bedeckt wird, wie beispielsweise in Fig. 2B bezüglich einer Leiterplatte 4 dargestellt ist, die mit Verdrahtungsmustern 1, Kontaktierungen für Teile 2 und der Durchgangsbohrung 3 (siehe Fig. 2A), dargestellt ist. Es gibt keine bestimmte Beschränkung für das Maskierungsverfahren, beispielsweise wird aber eine photosensitive Trocken-schichtabdeckung (DFR) auflaminiert. Die Trockenschicht bedeckt das Substrat, ausgenommen einen Teil, der mit der Stromlos-Lötbeschichtung (1) durch Photolithographie mit Belichtung und Entwicklung versehen werden soll.

Es wird eine säurefeste photosensitive Trocken-schichtabdeckung bevorzugt. Abgesehen von der photosensitiven Trockenschichtabdeckung können vorzugsweise auch eine photosensitive Abdecktinte, eine wärmehärtbare Abdeckung oder dergleichen verwendet werden. Bei diesem Beispiel wird eine photosensitive Abdeckung verwendet, die Maskierung wird durch Photolithographie durchgeführt. Die Maskierung kann jedoch durch eine andere Aufbringbehandlung wie Siebdruck vorgenommen werden. Wird die Aufbringbehandlung unter Verwendung einer Tinte durchgeführt, muß vorsichtig agiert werden, da die Tinte innerhalb der Durchgangsbohrung 3 verbleiben kann, wenn die Abdeckung nachfolgend entfernt werden soll. Bei diesem Beispiel wird "Laminar HG" (hergestellt von Dynachem Co.) als photosensitive Trockenfilmabdeckung verwendet, und nach der Belichtung wird die Entwicklung in einer einprozentigen Natriumcarbonatlösung durchgeführt.

Als nächstes wird, wie in Fig. 2C gezeigt, die Stromlos-Lötbeschichtung durchgeführt. Als Vorbehandlung für die Stromlos-Lötbeschichtung werden entsprechende Behandlungen wie Reinigen (säurehaltige Reinigungslösung, 40°C, 5 Minuten), Softätzen (Schwefelsäure/Wasserstoffperoxid Ätzflüssigkeit, 40°C, 30 Sekunden)

und Beizen (5% Schwefelsäure, 25°C, 1 Minute) durchgeführt, und nachfolgend wird das Teil in eine Stromlos-Lötbeschichtungslösung eingetaucht. Eine Beschichtungslösung, deren Hauptkomponenten Zinn (0,1 Mol), Blei (0,01 Mol), organische Sulfonsäure (0,2 Mol) und Thiocarbamid (2 Mol) sind, wird als Stromlos-Lötbeschichtungslösung verwendet. Die Beschichtung wird bei 70°C über 15 Minuten durchgeführt. Fig. 3 zeigt eine Beziehung zwischen der Lötmitteldicke und der Beschichtungszeit für den Fall, daß die Stromlos-Lötbeschichtungslösung mit der o. g. Zusammensetzung angewandt wird und eine Lötlegierung auf den Kupfermustern 1 der Leiterplatte 4 abgeschieden wird. Wie in Fig. 3 gezeigt, nimmt die Lötmitteldicke mit der Beschichtungszeit zu. Unter den Bedingungen dieses Beispiels wird eine Lötsschicht 6 mit einer Dicke von ungefähr 12 µm geschaffen.

Schließlich wird eine 5% Natriumhydroxidlösung als Abtrennlösung verwendet, und die Trockenfilmabdeckung (Maske 5) wird, wie in Fig. 2D gezeigt, abgetrennt. Bei diesem Beispiel ist die Stromlos-Lötbeschichtung an der Leiterplatte durchgeführt, die mit der Lötabdeckung bedeckt ist. Jedoch ist es möglich, die Stromlos-Lötbeschichtung bei einer Leiterplatte, die nicht mit einer Lötabdeckung bestrichen ist, durch einen ähnlichen Prozeß teilweise durchzuführen. In diesem Fall kann die Lötabdeckung oder die Trockenfilmabdeckung dieses Beispiels nach dem Abtrennen der Maske 5 aufgetragen sein. Weiter kann eine Vorflußbehandlung auf der ganzen oder Teilen der Oberfläche zum Schutz von Musterteilen durchgeführt werden, die nicht mit der Stromlos-Lötbeschichtungsschicht 6 versehen werden und zum Schutz der Durchgangsbohrung 3.

Beispiel 2

Fig. 4 ist ein Flußdiagramm, das einen Ablauf eines Verfahrens zur Herstellung einer Leiterplatte gemäß Beispiel 2 dieser Erfindung darstellt. Die Fig. 5A, 5B, 5C, 5D und 5E sind schematische Schnittdiagramme, welche die Zustände einer gedruckten Leiterplatte bei den entsprechenden Schritten zeigen.

Eine Maskierung wird auf Abschnitten der Leiterplatte 4 vorgenommen, die mit den Verdrahtungsmustern 1, den Kontaktierungen für Teile 2, der Durchgangsbohrung 3 und dergleichen versehen und in Fig. 5A dargestellt ist. Sie wird auf Teilen durchgeführt, die eine Stromlos-Lötbeschichtung benötigen, wie Verdrahtungsmuster 1, Kontaktierungen für Teile 2 und dergleichen, wie in Fig. 5B dargestellt ist. Zum Maskieren wird beispielsweise eine photosensitive Trockenfilmabdeckung (DFR) auf der Leiterplatte auflaminiert. Die Teile, welche die Stromlos-Lötbeschichtung benötigen, werden mit dem Trockenfilm durch Photolithographie (mit Belichtung und Entwicklung) abgedeckt.

Wie in Beispiel 1 ist die Auswahl des Abdeckmaterials nicht besonders kritisch. Jedoch wird eine säureresistente photosensitive Trockenfilmabdeckung bevorzugt. Abgesehen von der photosensitiven Trockenfilmabdeckung können eine photosensitive Abdecktinte, eine thermohärtbare Abdeckung und dergleichen verwendet werden. Bei diesem Beispiel wird die Maskierung durch Photolithographie durchgeführt, wobei die photosensitive Abdeckung verwendet wird. Die Maskierung kann jedoch durch eine Aufbringbehandlung wie Siebdruck durchgeführt werden. Bei diesem Beispiel wird "Laminar HG" (hergestellt von der Dynachem Co.) als photosensitive Trockenfilmabdeckung verwendet, und

die Entwicklung wird in 1%iger Natriumcarbonatlösung nach der Belichtung durchgeführt.

Als nächstes wird der Stromlos-Beschichtungsschritt mit einem Metall, das nicht durch die Stromlos-Lötbeschichtungslösung angegriffen wird, auf Teilen durchgeführt, die keine Stromlos-Lötbeschichtung benötigen, wie die Durchgangsbohrung 3 (siehe Fig. 5C). Die Auswahl des Metalls bei diesem Beispiel ist nicht besonders kritisch. Es wird aber ein Metall gewünscht, das nicht durch die nachfolgend angewendete Stromlos-Lötbeschichtungslösung angegriffen wird. Es werden Gold, Palladium, Indium, Rhodium, Nickel, Zinn, Blei und Legierungen dieser Elemente bevorzugt. Bei diesem Beispiel wird eine palladiumbeschichtete Schicht 6 mit einer Dicke von ungefähr 0,1 µm gebildet. Als Vorbehandlungen für die Stromlos-Palladiumbeschichtung werden entsprechende Behandlungen wie Reinigen (saurehaltige Reinigungslösung, 40°C, 5 Minuten), Softätzen (250 g/l Ammoniumpersulfatlösung, 25°C, 3 Minuten), Beizen (5% Sulfonsäure, 25°C, 1 Minute) und Palladiumaktivierung (Palladiumchloridlösung, 25°C, 1 Minute) durchgeführt. Nachfolgend wird das Teil in eine Stromlos-Palladiumbeschichtungslösung eingetaucht. Als Stromlos-Palladiumbeschichtungslösung wird eine Stromlos-Palladium/Phosphorbeschichtungslösung APP (hergestellt von der Ishihara Chemicals Co Ltd) verwendet. Die Beschichtung wird bei 50°C über 6 Minuten durchgeführt.

Als nächstes wird die Trockenfilmaabdeckung (Maske 5), wie in Fig. 5D gezeigt ist, abgetrennt, wobei eine 5% Natriumhydroxid-Lösung als Abtrennlösung verwendet wird. Schließlich wird die Stromlos-Lötbeschichtung durchgeführt. Wie in Beispiel 1 werden als Beschichtungs-Vorbehandlungen die entsprechenden Behandlungen wie Reinigen (saurehaltige Reinigungslösung, 40°C, 5 Minuten), Softätzen (Sulfonsäure/Wasserstoffperoxid Ätzmittel, 40°C, 30 Sekunden) und Beizen (5% Sulfonsäure, 25°C, 1 Minute) durchgeführt. Nachfolgend wird das Substrat in eine Stromlos-Lötbeschichtungslösung eingetaucht. Als Stromlos-Lötbeschichtungslösung wird eine Beschichtungslösung verwendet, deren Hauptkomponenten Zinn (0,1 Mol), Blei (0,01 Mol), organische Sulfonsäure (0,2 Mol) und Thiocarbamid (2 Mol) sind. Beim Durchführen der Beschichtung bei 70°C über 15 Minuten kann eine Stromlos-Lötbeschichtungsschicht 7 nur an den Teilen abgeschieden werden, die eine Beschichtung benötigen. Weiter treten keine Probleme auf, wenn das Lötmetall auf der Palladiumbeschichtung 6 abgeschieden wird, die die Durchgangsbohrung 3 überdeckt, und es zeigt sich eine gute Lötbenetzbarkeit. Nahezu keine Abnahme der Kupferbeschichtungsstärke wird an der Durchgangsbohrung 3 festgestellt.

Fig. 6 zeigt eine Beziehung zwischen der Kupferdicken-Abnahme einer Dimension der Verdrahtungsmuster 1 und der Kupferschichtdicke der Durchgangsbohrung 3 und der Beschichtungszeit, wenn die Stromlos-Lötbeschichtungslösung, wie in den obigen Beispielen, auf der Leiterplatte 4 durchgeführt wird, wobei keine Behandlung auf der Durchgangsbohrung 3 und Teilen der Verdrahtungsmuster 1 durchgeführt wird, die keiner Lötbeschichtung bedürfen. Wie aus Fig. 6 ersichtlich, erhöht sich die Kupferdicken-Abnahme mit der Beschichtungszeit. Die Abnahmetendenz der Kupferwanddicke entspricht im wesentlichen der Zunahmetendenz der Lötmetallmitteldicke nach Fig. 3, wobei sich der Betrag der Abnahme und die Dicke der Zunahme ungefähr 1:1 entsprechen. Es ist klar, daß diese Beträge den Verschiebe-

mengen der Lötlegierung und des Kupfers entsprechen.

Fig. 7A zeigt einen Schnitt durch eine Durchgangsbohrung, bei der keine Stromlos-Lötbeschichtung durchgeführt wurde, und Fig. 7B einen Schnitt, bei dem keine andere Behandlung als die Stromlos-Lötbeschichtung an der Durchgangsbohrung durchgeführt wurde. Wie aus dem Vergleich dieser Zweischnitte ersichtlich, vermindert sich bei Durchführung einer Stromlos-Lötbeschichtung wie in Fig. 7B gezeigt die Kupferdicke in der Durchgangsbohrung beträchtlich, verglichen mit dem Fall einer nicht durchgeführten Stromlos-Lötbeschichtung, wie in Fig. 7A gezeigt. Das Resultat eines thermischen Ermüdungswiderstandstests (230°C/10 Sekunden Lötmetall-Aufschmelztest und -65°C → 125°C Hitzezyklustest bei 100 Zyklen) ist für die in Fig. 7B dargestellte Probe in Fig. 7C gezeigt. Wie in Fig. 7C dargestellt ist, entstehen parallele Risse an den inneren Wänden der Durchgangsbohrung. Durch diese Experimente wird verdeutlicht, daß sich die Zuverlässigkeit beträchtlich verschlechtert, wenn keine andere Behandlung als die Stromlos-Lötbeschichtung an der Durchgangsbohrung durchgeführt wird. Es liegt auf der Hand, wie wichtig das Verfahren zur Herstellung einer Leiterplatte dieser Erfindung in der Praxis ist.

In der obigen Ausführungsform wird die Stromlos-Lötbeschichtung mit der Stromlos-Palladiumbeschichtungsschicht 6 mit ungefähr 0,1 µm Dicke als Maske durchgeführt. Wenn die Maskendicke gering ist, liegt auf der Maske eine Anzahl von nadelfeinen Löchern vor. Wenn die Stromlos-Lötbeschichtung auf der Stromlos-Palladiumbeschichtungsschicht 6 durchgeführt wird, scheidet sich eine kleine Menge der Lötlegierung durch diese Löcher ab. Diese Menge ist sehr klein. Darum ist eine ausreichende Wirkung zum Schutz der Durchgangsbohrungen sogar dann gegeben, wenn die Maskendicke sehr gering ist. Weiter ist bei der o. g. Ausführungsform keine Aufschmelzbehandlung (Schmelzbehandlung) nach der Stromlos-Lötbeschichtung durchgeführt. Die Löcher werden jedoch beim Durchführen der Aufschmelzbehandlung (Schmelzbehandlung) vollständig gefüllt.

Wie oben beschrieben, werden gemäß dieser Erfindung die Durchgangsbohrung und Teile der Verdrahtungsmuster, die keinen Lötüberzug benötigen, mit der Maske abgedeckt. Die Stromlos-Lötbeschichtung wird auf den Teilen der Verdrahtungsmuster durchgeführt, die nicht mit der Maske abgedeckt sind. Teile der Verdrahtungsmuster, die einen Lötüberzug benötigen, werden mit der Maskierung abgedeckt. Die Stromlos-Beschichtung mit einem Metall, das nicht durch die Beschichtungslösung der Stromlos-Lötbeschichtung korrodiert, wird an den Durchgangsbohrungen und an den Teilen der Verdrahtungsmuster durchgeführt, die keinen Lötüberzug benötigen. Die Maske wird abgelöst, und die Stromlos-Lötbeschichtung wird an den befreiten Teilen durchgeführt. Damit ist es möglich, die Stromlos-Lötbeschichtung durchzuführen, ohne daß die Kupferbeschichtungsstärke der Durchgangsbohrung vermindert wird, wodurch ein Verfahren zur Herstellung einer Leiterplatte, mit der die Zuverlässigkeit erhöht wird, zur Verfügung gestellt wird.

Weiter kann die Lötlegierung, die sich an Löchern der Metallmaske niedergeschlagen hat, durch eine Aufschmelzbehandlung (Schmelzbehandlung) aufgeschmolzen (geschmolzen) werden, wodurch die Löcher gefüllt werden. Damit wird die Lötbenetzbarkeit nicht durch eine nachfolgende Umweltänderung verschlechtert.

Beispiel 3

Die dritte Ausführungsform dieser Erfindung wird mit Bezug auf die Zeichnungen wie folgt beschrieben.

Fig. 10 ist ein Flußdiagramm, das einen Ablauf eines Verfahrens zur Herstellung einer Leiterplatte gemäß einer dritten Ausführungsform dieser Erfindung beschreibt. Die Fig. 11A bis 11G sind Schnitte und zeigen schematisch Zustände eines Substrats bei den entsprechenden Schritten nach Fig. 10.

Als erstes wird eine Maskierung (S1) durchgeführt, wobei bei einer Leiterplatte 10, die mit den feinen Kontaktierungen 11, Kontaktierungen zum Befestigen von Teilen 13, einer Durchgangsbohrung 12 und dergleichen, wie in Fig. 11A gezeigt ist, versehen ist, feine Kontaktierungen 11, die eine dicke Lötlegierungsschicht benötigt, mit ersten Abdeckmasken 14 abgedeckt werden, wie in Fig. 11B gezeigt ist. Die Maskierung wird durch Laminieren einer photosensitiven Trockenfilmbabdeckung (DFR) durchgeführt, wobei die Photolithographie-Methode mit Belichten und Entwickeln verwendet wird. Weiter wird als photosensitive Trockenfilmbabdeckung "Laminar HG" (hergestellt von der Dynachem Co.) verwendet, und die Entwicklung wird in 1%iger Natriumcarbonatlösung nach dem Belichten durchgeführt.

Als nächstes wird eine erste Stromlos-Lötbeschichtung (S2) durchgeführt, wie in Fig. 11C gezeigt ist. Als Vorbehandlungen für die Stromlos-Lötbeschichtung werden entsprechende Behandlungen wie Reinigen (säurehaltige Reinigungslösung, 40°C, 5 Minuten) und Softätzen (Natriumpersulfat Ätzmittel, 25°C, 90 Sekunden) durchgeführt. Nachfolgend wird die Leiterplatte in eine Stromlos-Lötbeschichtungslösung eingetaucht. Als Stromlos-Lötbeschichtungslösung wird eine Beschichtungslösung verwendet, deren Hauptkomponenten Zinn (0,1 Mol), Blei (0,01 Mol), organische Sulfonsäure (0,2 Mol) und Thiocarbamid (2 Mol) sind. Die Beschichtung wird bei 70°C über 5 Minuten durchgeführt. Die Fig. 3 zeigt eine Beziehung zwischen der Lötmitteldicke und der Beschichtungszeit für den Fall, daß eine Lötlegung auf einem Verdrahtungsmuster der Leiterplatte 10 abgeschieden wird, wobei die Stromlos-Lötbeschichtungslösung mit o. g. Zusammensetzung verwendet wird. Fig. 3 zeigt, daß die Lötmitteldicke mit der Beschichtungszeit zunimmt. Bei diesem Schritt ist es notwendig, die Abnahme einer Kupferschicht zu minimieren, da die Lötbeschichtung an der Durchgangsbohrung 12 durchgeführt wird. Vorzugsweise wird die Dicke der Lötbeschichtung auf nicht weniger als 0,1 µm und weniger als 10 µm festgelegt. Vorzugsweise soll der Wert nicht weniger als 3 µm und nicht mehr als 7 µm betragen, um eine gute Lötbenetzbarkeit zu schaffen. Unter den Bedingungen dieses Beispiels wird eine Legierungsschicht 15 mit einer Dicke von ungefähr 5 µm geschaffen.

Als nächstes wird, wie in Fig. 11D gezeigt, ein Schritt (S3) zum Abtrennen der ersten Abdeckmaske durchgeführt. Als Abtrennungslösung wird 3%ige Natriumhydroxidlösung verwendet, wodurch die erste Abdeckmaske 14 abgetrennt wird. Nachfolgend wird ein Verschmelzen (S4) durch Aufbringen eines Flußmittels über die gesamte Oberfläche der Leiterplatte 10 durchgeführt, und die Lötlegierungsschicht 15 wird geschmolzen. Weiter wird, obwohl keine besondere Beschränkung für das Flußmaterial und die Aufschmelzbedingungen gegeben ist, Postflux (RM-26) (hergestellt von Tamura Corp.) verwendet. Das Aufschmelzen wird in einem Luftaufschmelzofen durchgeführt, wobei das Teil

durch Vorerhitzen bei 160 bis 180°C (120 Sekunden) und durch Erhitzen bei 230°C (30 Sekunden) erhitzt wird. Nach dem Schmelzen wird das Flußmittel durch Isopropylalkohol entfernt. Weiter wird bei diesem Beispiel das Schmelzen nach dem Abtrennen der ersten Abdeckmaske 14 durchgeführt. Die erste Abdeckmaske 14 kann jedoch nach dem Schmelzen abgetrennt werden. Bei diesem Beispiel wird das Schmelzen zur Verstärkung der Haftwirkung der Lötlegierungsschicht 15 durchgeführt. Auf diesen Schritt kann jedoch auch verzichtet werden.

Als nächstes wird, wie in Fig. 11E gezeigt, eine zweite Maskierung (S5) durchgeführt, wobei die Durchgangsbohrung 12 und die Kontaktierungen zur Befestigung von Teilen 13, bei denen die Stromlos-Lötbeschichtung durch die obigen Schritte durchgeführt worden ist, mit einer zweiten Abdeckmaske 16 bedeckt werden. Wie bei der ersten Maskierung wird bei dem Verfahren dieser Maskierung die photosensitive Trockenfilmbabdeckung (DFR) auflaminiert, und die Maskierung wird durch Photolithographie wie Belichten und Entwickeln durchgeführt. Weiter wird als photosensitive Trockenfilmbabdeckung "Laminar HG" (hergestellt von der Dynachem Co.) verwendet, und die Entwicklung wird in 1%iger Natriumcarbonatlösung nach der Belichtung durchgeführt.

Als nächstes wird, wie in Fig. 11F dargestellt, eine zweite Stromlos-Lötbeschichtung (S6) durchgeführt. Wie bei der ersten Stromlos-Lötbeschichtung werden als Vorbehandlungen für die Stromlos-Lötbeschichtung entsprechende Behandlungen wie Reinigen (säurehaltige Reinigungslösung, 40°C, 5 Minuten) und Softätzen (Sodiumpersulfat-Ätzmittel, 25°C, 120 Sekunden) durchgeführt. Nachfolgend wird das Teil in eine Stromlos-Lötbeschichtungslösung eingetaucht. Als Stromlos-Lötbeschichtungslösung wird eine Beschichtungslösung verwendet, deren Hauptkomponente Zinn (0,1 Mol), Blei (0,01 Mol), organische Sulfonsäure (0,2 Mol) und Thiocarbamid (2 Mol) sind. Die Beschichtung wird bei 70°C über 20 Minuten durchgeführt. Unter den Bedingungen dieses Beispiels wird eine Lötlegierungsschicht 17 mit einer Dicke von ungefähr 14 µm geschaffen.

Als nächstes wird, wie in Fig. 11G gezeigt, ein Schritt (S7) zum Abtrennen der zweiten Abdeckmaske durchgeführt. Als Abtrennungslösung wird 3%ige Natriumhydroxidlösung verwendet, und die zweite Abdeckmaske 16 wird abgetrennt. Schließlich wird ein Schmelzen (S8) durch Aufstreichen von Flußmittel auf der ganzen Oberfläche der Leiterplatte 10 durchgeführt, und die Lötlegierungsschicht 15 wird geschmolzen. Weiter wird, obwohl keine besonderen Beschränkungen für das Flußmaterial und die Schmelzbedingungen gegeben sind, Postflux (RM-26) (hergestellt von Tamura Corp.) verwendet. Das Schmelzen wird in einem Luftaufschmelzofen durchgeführt, wobei das Teil durch Vorerhitzen bei 160°C bis 180°C (120 Sekunden) und durch Erhitzen bei 230°C (30 Sekunden) erhitzt wird. Nach dem Schmelzen wird das Flußmittel durch Isopropylalkohol entfernt. Bei diesem Beispiel wird das Schmelzen zum Verstärken der Haftwirkung der Lötlegierungsschicht 15 durchgeführt. Jedoch kann auf diesen Schritt auch verzichtet werden.

In Beispiel 3 wird als erstes die Stromlos-Lötbeschichtung mit einer Dicke von weniger als 10 µm an der Durchgangsbohrung 12 und Kontaktierungen zum Befestigen von Teilen 13 und dgl. durchgeführt. Nachfolgend wird die Stromlos-Lötbeschichtung mit einer Dicke von 10 µm oder mehr auf den feinen Kontaktie-

rungen 11 und dgl. durchgeführt. Eine ähnliche Leiterplatte kann durch Umkehren dieser Schritte hergestellt werden. Da die Oberfläche der maskierten Durchgangsbohrung 11 aus Kupfer besteht, korrodiert, wenn die Maskierung nicht vollständig ist, im Fall des Durchführens der Stromlos-Lötbeschichtung der feinen Kontaktierungen 11 als erstes die Oberfläche des Kupfers durch Eindringen der Beschichtungslösung während einer langen Beschichtungszeit, was eine Lötbeschichtung bei einem späteren Schritt behindern kann. Beim beschriebenen Beispiel wird die Oberfläche der Kupferschicht nicht durch Eindringen der Beschichtungslösung korrodiert, da die maskierte Durchgangsbohrung 12 mit der Lötlegierungsschicht 15 bedeckt ist.

Weiterhin liegt beim Abtrennen des Trockenfilms für den Fall, daß die maskierte Kupferoberfläche und Muster mit einer beschichteten Löttoberfläche elektrisch verbunden sind, der Fall vor, daß Zinn selektiv von der Löttoberfläche infolge eines elektrochemischen Potentialunterschieds gelöst werden kann. In diesem Fall unterscheidet sich die Lötzusammensetzung teilweise von derjenigen im anderen Teil. Für die Durchgangsbohrung 12 und die Kontaktierungen für Montageteile 13 wird die Lötbeschichtung zum Zweck des Aufrechterhaltens der Lötbenetzbarkeit beim eigentlichen Montagevorgang durchgeführt. Damit kann sich deren Lötzusammensetzung ändern. Da jedoch die durch die Lötbeschichtung vorgesehene Schicht, die an der feinen Kontaktierung 11 durchgeführt wird, als Lötmaterial beim eigentlichen Montagevorgang verwendet wird, ist die Änderung der Lötzusammensetzung problematisch. Wie oben dargestellt, weist diese Erfindung gegenüber einem Verfahren, bei dem diese Schritte umgekehrt durchgeführt werden, Vorteile auf, da die Stromlos-Lötbeschichtung zuerst an der Durchgangsbohrung 12, der Kontaktierungen zur Befestigung von Teilen 13 und dgl. und nachfolgend die Stromlos-Lötbeschichtung an den feinen Kontaktierungen durchgeführt wird.

Fig. 6 zeigt Abnahme einer Dimension der Kupfermuster und der Dicke einer Durchgangsbohrung für den Fall, daß die o. g. Beschichtungslösung für eine Leiterplatte verwendet wird, bei der keine Behandlung an den Kupfermustern und der Durchgangsbohrung vorgenommen ist. Fig. 6 zeigt, daß die Abnahme der Dimension der Kupfermuster und die Dicke der Kupferdurchgangsbohrung mit der Beschichtungszeit ansteigen. Die Abnahmetendenz der Kupferdicke in Fig. 6 entspricht im wesentlichen der Zunahmetendenz der Beschichtungsdicke in Fig. 3. Die Dickenabnahme und die Dickenzunahme entsprechen sich ungefähr 1:1, was offensichtlich auch den Verschiebemengen der Lötlegierung und des Kupfers entspricht. Die Kupferdicke-Abnahme der Durchgangsbohrung bei diesem Beispiel ist ungefähr 6 µm, einschließlich derjenigen, die durch den Ätz-Vorbehandlungsschritt verursacht wurde.

Fig. 12A zeigt einen Querschnitt durch eine Durchgangsbohrung für den Fall, daß die Beschichtung bis zu einer Dicke von 10 µm oder mehr bei Verwendung der o. g. Beschichtungslösung durchgeführt wird. Fig. 12B zeigt einen Schnitt durch eine Durchgangsbohrung, bei der die Lötbeschichtung mit einer Dicke von 5 µm durchgeführt ist. Die Fig. 12C bzw. 12D zeigen Schnitte der Durchgangslöcher, nachdem ein thermischer Ermüdungskorrosionstest (230°C/10 Sekunden Lötflußtest und -65°C — 125°C Hitzezyklustest von 100 Zyklen) an der in den Fig. 12A und 12B gezeigten Beispielen durchgeführt wurde.

Ein Vergleich der beiden Ausschnitte der Fig. 12A

und 12B ergibt, daß die Kupferschichtdicke der Durchgangsbohrung 12 der Leiterplatte 10, bei der die Stromlos-Lötbeschichtung bis zu einer Dicke von 10 µm oder mehr an der Durchgangsbohrung 12 durchgeführt wurde, beträchtlich abgenommen hat, verglichen mit der Kupferschichtdicke der Durchgangsbohrung 12, bei der die Stromlos-Lötbeschichtung mit einer Dicke von 5 µm durchgeführt wurde. Weiter entstehen, wie in den Fig. 12C und 12D gezeigt, parallele Risse an der inneren Wand der Durchgangsbohrung 12, wenn die Stromlos-Lötbeschichtung mit einer Dicke von bis zu 10 µm oder mehr durchgeführt wird und ein thermischer Ermüdungswiderstandstest durchgeführt wurde. Jedoch entsteht kein paralleler Riß an der Durchgangsbohrung, die mit einer Lötbeschichtung mit einer Dicke von 5 µm versehen ist. Durch dieses Experiment ist klargestellt, daß sich die Zuverlässigkeit beträchtlich verschlechtert, wenn die Stromlos-Lötbeschichtung bis zu 10 µm oder mehr an der Durchgangsbohrung 12 durchgeführt wird. Es ist auch klar, daß das erfindungsgemäße Verfahren zur Herstellung einer Leiterplatte praktische Bedeutung besitzt.

Beispiel 4

Weiterhin wird die Stromlos-Lötbeschichtung an der Leiterplatte 10, auf welche die Lötdeckung aufgestrichen ist, bei der obigen Ausführungsform 3 durchgeführt. Es ist jedoch möglich, die Stromlos-Lötbeschichtung an einer Leiterplatte 10, die nicht mit der Lötdeckung überzogen ist, durch ähnliche Behandlungsschritte teilweise durchzuführen. In diesem Fall sollte die Lötdeckung aufgetragen werden, nachdem alle Schritte abgeschlossen sind.

Beispiel 5

Weiter wird in der o. g. Ausführungsform 3 das Maskieren durch Photolithographie durchgeführt, wobei eine photosensitive Abdeckung verwendet wird. Jedoch bewirkt die Erfindung einen ähnlichen Effekt bei Durchführung der Maskierung über eine Aufbringbehandlung mittels Siebdruck.

Wie oben angegeben, ist gemäß dieser Erfindung das Verfahren zur Herstellung einer Leiterplatte geeignet, wobei die Verdrahtungsmuster auf dem Substrat gebildet werden, die feinen Kontaktierungen der Verdrahtungsmuster mit einer ersten Abdeckmaske bedeckt werden, die erste Stromlos-Lötbeschichtung auf der freien Durchgangsbohrung und den Kontaktierungen für Montageteile des Verdrahtungsmusters durchgeführt wird, die erste Abdeckungsmaske abgetrennt wird, die Durchgangsbohrung und die Kontaktierungen für Montageteile mit der zweiten Abdeckungsmaske abgedeckt werden, die zweite Stromlos-Lötbeschichtung durchgeführt wird, wobei die zweite Lötlegierungsschicht an den feinen Kontaktierungen abgeschieden wird, deren Dicke größer ist als diejenige der ersten Lötlegierungsschicht, die an der Durchgangsbohrung und den Kontaktierungen zur Befestigung von Teilen abgeschieden wird, wobei schließlich die zweite Abdeckschicht abgetrennt wird. Damit ist es sogar dann, wenn eine dickere Lötsschicht auf den feinen Kontaktierungen durch die Stromlos-Lötbeschichtung gebildet wird, einfach, eine minimale Kupferdicke zu schaffen, die für die Durchgangsbohrung notwendig ist, da die Abnahme der Kupferbeschichtungsdicke der Durchgangsbohrung klein ist, so daß eine Leiterplatte mit ei-

ner ausreichenden thermischen Ermüdungswiderstandsfähigkeit geschaffen werden kann. Als weiterer Effekt dieser Erfindung ist es möglich, eine Leiterplatte zu schaffen, die eine exzellente Zuverlässigkeit beim eigentlichen Montagebetrieb aufweist, verglichen mit derjenigen eines Kupferdurchgangsbohrungssubstrats, da eine Schicht auf der Durchgangsbohrung, den Kontaktierungen zur Befestigung von Teilen oder dgl. gebildet ist, die zur Aufrechterhaltung einer Lötbenetzungsfähigkeit ausreicht.

Beispiel 6

Im folgenden wird eine Erläuterung der Ausführungsform 6 dieser Erfindung mit Bezug auf die Zeichnungen gegeben.

Fig. 13 ist ein Flußdiagramm, das den Ablauf eines Verfahrens zur Herstellung einer Leiterplatte gemäß einer sechsten Ausführungsform dieser Erfindung zeigt.

An einer Leiterplatte, die mit Muster gebildet und mit einer Lötabdeckung überzogen ist, wird zuerst eine Stromlos-Kupferbeschichtung auf Teilen durchgeführt, die eine Stromlos-Lötbeschichtung benötigen, wie die Kupferfußkontaktierungsmuster, die Durchgangsbohrung und dgl. Die Stromlos-Kupferbeschichtungsschicht, die hierzu notwendig ist, dient als Elektronenversorgungsquelle zur Abscheidung einer Stromlos-Lötbeschichtungsschicht. Somit wird keine besonders ausgezeichnete physikalische Eigenschaft für die Stromlos-Kupferbeschichtungsschicht benötigt.

Weiter ist es nicht notwendig, daß die Schicht vollständig ist. Demgemäß reicht eine Stromlos-Kupferbeschichtung mit granularem oder puderartigem Niederschlag. Eine Verunreinigungen enthaltende Kupferschicht reicht ebenfalls aus.

Eine alkalische Stromlos-Kupferbeschichtung mit Formaldehyd als Deoxidator wird im allgemeinen entsprechend der Badtemperatur in eine Niedrigtemperatur- (15–25°C) Dünnbeschichtungsart, Mitteltemperatur- (35–55°C) Hochbeschichtungsartenart und eine Hochtemperatur (60–70°C) mit besonderen physikalischen Eigenschaften (für Zusätze) klassifiziert. Keine besonderen Anforderungen werden für die Stromlos-Kupferbeschichtungslösung benötigt, die bei diesen Ausführungsformen verwendet wird. Jede Art von Stromlos-Kupferbeschichtungslösung kann verwendet werden. Um jedoch die Beschichtung in einer kurzen Zeit abzuschließen, wird eine Hochbeschichtungsartenart mit mittlerer Temperatur bevorzugt. Hinsichtlich der Beschichtungsrate ist es möglich, mit einer Rate von ungefähr 5 µm pro Stunde bei der Mitteltemperatur-Hochbeschichtungsartenart und 2–3 µm pro Stunde bei der Hochtemperaturart mit besonderen physikalischen Eigenschaften abzuschneiden. Ein Beispiel der Zusammensetzung der Stromlos-Kupferbeschichtungslösung für eine mittlere Temperatur-Hochbeschichtungsartenart wird wie folgt angegeben.

CuSO₄: 0,06 Mol,
HCHO: 0,20 Mol,
NaOH: 0,22 Mol,
EDTA: 0,12 Mol,
Stabilisierer: sehr kleine Menge,
pH: 12 bis 12,5,
Temperatur: 60°C.

In bezug auf den Aktivierungsschritt vor der Stromlos-Kupferbeschichtung werden entsprechende Be-

handlungen zum Reinigen (säurehaltige Reinigungslösung, 40°C, 5 Minuten), Softätzen (Sulfonsäure/Wasserstoffperoxid Ätzmittel, 40°C, 30 Sekunden) und Beizen (5% Sulfonsäure, 25°C, 1 Minute) durchgeführt. Nachfolgend wird die Leiterplatte in eine Stromlos-Kupferbeschichtungslösung eingetaucht. Bei diesem Beispiel wird die Stromlos-Kupferbeschichtung bei 60°C über 3 Stunden durchgeführt, wobei das o. g. Stromlos-Kupferbeschichtungsbad verwendet wird. Als Ergebnis wird unter den vorgenannten Bedingungen eine Kupferschicht mit einer Dicke von 14 µm geschaffen.

Als nächstes wird die Stromlos-Lötbeschichtung durchgeführt. Als Aktivierung vor der Stromlos-Lötbeschichtung wird ein Beizen (5% Sulfonsäure, 25°C, 1 Minute) durchgeführt. Nachfolgend wird das Teil in eine Stromlos-Lötbeschichtungslösung eingetaucht. Die Stromlos-Lötbeschichtungslösung, deren Hauptkomponenten Zinn (0,1 Mol), Blei (0,01 Mol), organische Sulfonsäure (0,2 Mol) und Thiocarbamid (2 Mol) sind, wird verwendet. Die Beschichtung wird bei 70°C über 15 Minuten durchgeführt. Fig. 3 zeigt eine Beziehung zwischen der Beschichtungsstärke und der Beschichtungszeit für den Fall, bei dem eine Lötlegierung auf einem Kupfermuster einer Leiterplatte abgeschieden wird. Gemäß Fig. 3 nimmt die Beschichtungsstärke mit der Beschichtungszeit zu. Als Ergebnis wird eine Lötbeschichtung mit einer Dicke von ungefähr 12 µm unter den vorgenannten Bedingungen geschaffen. Wie in der herkömmlichen Technologie, wird eine Kupferschicht mit einer Dicke von 0,85 µm in der Beschichtungslösung gelöst, um eine Lötlegierungsschicht mit einer Dicke von 1 µm abzuscheiden. Damit muß eine Kupferdicke von 10,2 µm im Beschichtungsbad gelöst werden, um eine Lötlegierungsschicht mit einer Dicke von 12 µm wie oben beschrieben zu schaffen. Bei diesem Beispiel wird jedoch eine Kupferbeschichtungsschicht mit einer Dicke von 10 µm geschaffen, wie oben beschrieben ist. Damit kann die Kupferbeschichtung die Abnahme der Kupferschichtdicken durch die Stromlos-Lötbeschichtung kompensieren. Somit wird die Abnahme der Kupferschichtdicken an den Kupferfußkontaktierungsmustern und der Durchgangsbohrung verhindert.

Beispiel 7

Beim o. g. Beispiel 6 werden die Stromlos-Kupferbeschichtung und die Stromlos-Lötbeschichtung an einem Substrat, das mit einer Lötabdeckung bestrichen ist, durchgeführt. Jedoch kann die Stromlos-Lötbeschichtung an einem Substrat, das nicht mit einer Lötabdeckung bestrichen ist, in einer ähnlichen Arbeitsweise durchgeführt werden. In diesem Fall wird, wie in einem Flußdiagramm gemäß Fig. 14 gezeigt, eine Oberflächenkonditionierung nach der Stromlos-Kupferbeschichtung durchgeführt, wobei die Lötabdeckung aufgebracht ist und nachfolgend die Stromlos-Lötbeschichtung durchgeführt wird.

Beispiel 8

Weiter wird in den obigen Beispielen die alkalische Stromlos-Kupferbeschichtungslösung mit Formaldehyd als Oxid verwendet. Jedoch kann als Stromlos-Kupferbeschichtungslösung eine säurehaltige Stromlos-Kupferbeschichtungslösung mit hypophosphorige Säure als Deoxidator verwendet werden. Bei der alkalischen Lösung ist die Art der Lötabdeckung, die bei der Leiterplatte verwendet werden kann, beschränkt. Jedoch kann

bei der säurehaltigen Lösung eine normale Lötbedeckung verwendet werden, was vorteilhaft ist. Ein Beispiel der Zusammensetzung der säurehaltigen Stromlos-Kupferbeschichtungslösung wird nachfolgend angegeben.

CuCl_2 : 0,06 Mol,
HEEDTA: 0,074 Mol,
 $\text{NaH}_2\text{PO}_2 \cdot \text{H}_2\text{O}$: 0,34 Mol,
pH: 5 bis 7,
Temperatur: 60°C.

Beispiel 9

Obwohl keine Beschreibung über den Zustand der Leiterplatte in den o. g. Ausführungsformen bei der Stromlos-Lötbeschichtung abgegeben wurde, wird die Beschichtung durchgeführt, während die Leiterplatte in Ruhe ist oder fortwährend hin- und hergeschwenkt wird. Vorzugsweise wird die fortwährende Schwenkbewegung mit einer Schwenkfrequenz von ungefähr 1 bis 10mal pro Minute und mit einer Schwenkgeschwindigkeit von 0,5 m/Minute oder weniger durchgeführt. Weiter wird die Schwenkrichtung in einer Richtung, die parallel zu der Fläche der Leiterplatte ist, bevorzugt.

Fig. 15 ist eine Kennlinie, welche die Beziehung zwischen der Lötmitteldicke einer Stromlos-Lötbeschichtung und einer Umrührintensität der Beschichtungslösung zeigt. Die hierbei gezeigte Umrührintensität gibt die Schwenkgeschwindigkeit der Leiterplatte an, die als Material für die Beschichtung dient.

Gemäß Fig. 15 wird die Lötmitteldicke der Stromlos-Lötbeschichtung beträchtlich durch die Schwenkgeschwindigkeit beeinflusst. Die Lötmitteldicke wächst bis zu einer bestimmten Bedingung proportional zur Umrührintensität von bis zu 2 m/Minute in diesem Fall. Ab einer Umrührintensität von 2 m/Minute oder mehr bleibt die Beschichtungsdicke konstant, ungeachtet der Umrührintensität, da der Umrühreffekt, der zur Versorgung mit Ionen führt, eine Sättigung aufweist. Die Beschichtung wird normalerweise unter Umrührintensitätsbedingungen durchgeführt, bei der eine konstante Beschichtungsdicke ungeachtet der Umrührintensität geschaffen wird.

Die Fig. 16A und 16B sind Kennlinien, die eine Beziehung zwischen der Mustergröße von Kupfer zeigt, das mit einer Stromlos-Lötbeschichtung versehen werden soll, und der Lötmitteldicke einer Stromlos-Lötbeschichtung. Die Lötmitteldicke der Stromlos-Lötbeschichtung wird beträchtlich durch die Mustergröße beeinflusst. Je kleiner die Mustergröße, desto größer die Lötmitteldicke. Diese Tendenz verändert sich mehr oder weniger mit der Umrührintensität. Durch Vergleichen eines Falles, bei dem die Beschichtung durchgeführt wird, während das Substrat in Ruhe befindlich ist (gezeigt in Fig. 16B), und einem Fall, bei dem das Substrat bei einer Schwenkgeschwindigkeit von 2 m/Minute beschichtet wird, wobei die Wirkung der Umrührintensität "gesättigt" ist (wie in Fig. 16A dargestellt), zeigt sich ein beträchtlicher Einfluß der Mustergröße in dem Fall, bei dem die im Ruhezustand befindliche Leiterplatte beschichtet wird, verglichen mit dem Schwenkfall. Wenn die Leiterplatte beschichtet wird, während sie sich in Ruhe befindet, beträgt die Beschichtungsdicke für eine Mustergröße von 0,5 mm oder weniger ungefähr das Zwei- bis Dreifache der Beschichtungsdicke der Mustergröße von 1 mm oder mehr, wobei die Beschichtung unter den gleichen Bedingungen durchgeführt

wird. Wie oben erwähnt, ist die Diffusion der Ionen von wesentlichem Einfluß, da die Beschichtungsdicke bei der Stromlos-Lötbeschichtung beträchtlich durch das Umrühren der Beschichtungslösung und der Mustergröße beeinflusst wird. Das heißt, je kleiner die Mustergröße ist, desto leichter geht die Diffusion der Ionen vorstatten, und eine größere Beschichtungsdicke kann leicht geschaffen werden.

Wenn nun die Beschichtung mit der Stromlos-Lötbeschichtung durchgeführt wird, während sich die Leiterplatte in Ruhe befindet, wird das Oberflächenmuster der Leiterplatte mit einer dicken Ablagerung versehen, wogegen die Durchgangsbohrung mit einer dünnen Ablagerung versehen wird. Wenn die Stromlos-Lötbeschichtung bei 70°C über 30 Minuten durchgeführt wird, während sich die Leiterplatte in Ruhe befindet, wird eine Lötmitteldicke von ungefähr 13 µm für Oberflächenmuster mit einer Größe von 110 µm geschaffen und ungefähr 5 µm für den Zentralteil der Durchgangsbohrung. Dies tritt wie oben erwähnt aus dem Grund auf, daß die Diffusion der Ionen klein ist, da der Oberflächenbereich der Durchgangsbohrung im Vergleich zu demjenigen der Oberflächenmuster der Leiterplatte groß ist. Ein weiterer Grund liegt darin, daß es schwieriger ist, einen weiteren Teil der Beschichtungslösung bzw. frische Beschichtungslösung in die Durchgangsbohrung einzubringen, wenn ein Teil der Beschichtungslösung innerhalb der Durchgangsbohrung verbraucht ist, da die Beschichtung durchgeführt wird, während sich die Leiterplatte, die das Material für die Beschichtung darstellt, in Ruhe befindet.

Damit ist es am besten, die Beschichtung durchzuführen, während das Substrat stillsteht, wenn die Oberflächenmuster der Leiterplatte mit einer dicken Ablagerung und die Durchgangsbohrung mit einer dünnen Ablagerung versehen werden sollen. Jedoch kann es geschehen, daß eine Streuung in der Beschichtungsdicke abhängig von der Verteilung der Oberflächenmuster der Leiterplatte verursacht wird. Zur Lösung dieses Problems wird die Beschichtung unter fortwährendem Schwenken der Leiterplatte durchgeführt. Die Beschichtung kann ohne Streuung in der Beschichtungsdicke der Oberflächenmuster durchgeführt werden, indem der Leiterplatte mit einer Schwenkfrequenz von ungefähr 1 bis 10mal pro 1 Minute und einer Schwenkgeschwindigkeit von 0,5 m/Minute oder weniger in einer Richtung, die parallel mit der Oberfläche der Leiterplatte ist, geschwenkt wird, und zwischen Ruhezustand und Schwenkzustand abgewechselt wird.

Gemäß dem o. g. Beispiel 9 wird die Beschichtung bei der Stromlos-Lötbeschichtung durchgeführt, während sich die Leiterplatte in Ruhe befindet oder ständig hin- und hergeschwenkt wird. Damit können die Oberflächenmuster der Leiterplatte mit einer dicken Ablagerung und die Durchgangsbohrung mit einer dünnen Ablagerung versehen werden. Obwohl bei der Stromlos-Lötbeschichtung die Kupferschicht um einen Betrag abnimmt, der ungefähr der Beschichtungsdicke entspricht, verschlechtert sich die Zuverlässigkeit der Leiterplatte nicht, da die Kupferschichtabnahme der Durchgangsbohrung sogar dann minimiert werden kann, wenn die Stromlos-Lötbeschichtung in starkem Ausmaß auf den Oberflächenmustern durchgeführt wird. Weiter bringt die vorliegende Erfindung einen wirtschaftlichen Effekt, wobei die Dicke der Kupferschicht sogar dann minimiert werden kann, wenn eine Kupferschicht vorhergehend abgeschieden worden ist, die eine Dicke aufweist, welche die Abnahmekapazität infolge der Stromlos-Löt-

beschichtung und dgl. kompensiert.

Wie oben genannt umfaßt die vorliegende Erfindung gemäß einem Aspekt zumindest den Schritt der Bildung der Verdrahtungsmuster und der Lötdeckung, den Schritt der Durchführung der Stromlos-Kupferbeschichtung auf dem Kupferfußkontaktierungsmuster und den Durchgangsbohrungen der Verdrahtungsmuster und den Schritt der Abscheidung der Lötlegierung, deren Hauptkomponenten Zinn und Blei sind, auf den Verdrahtungsmustern mittels Stromlos-Lötbeschichtung

Gemäß einem weiteren Aspekt der vorliegenden Erfindung umfaßt die Erfindung zumindest die Schritte, daß die Verdrahtungsmuster gebildet werden, die Stromlos-Kupferbeschichtung auf dem Kupferfußkontaktierungsmuster und der Durchgangsbohrung der Verdrahtungsmuster durchgeführt wird, die Lötdeckung auf den Verdrahtungsmustern gebildet wird und die Lötlegierung, deren Hauptkomponenten Zinn und Blei sind, auf den Verdrahtungsmustern mittels Stromlos-Lötbeschichtung abgeschieden wird.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird die Stromlos-Lötbeschichtung bei den oben genannten zwei Möglichkeiten durchgeführt, während die Leiterplatte sich in Ruhe befindet oder ständig hin- und hergeschwenkt wird.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung scheidet bei den zwei obersten Möglichkeiten die Stromlos-Kupferbeschichtung die Kupferschicht mit einer Dicke ab, die gleich oder größer als eine Dicke ist, die einer Kupferschichtdicke entspricht, welche um die Stromlos-Lötbeschichtung vermindert ist.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird die Stromlos-Kupferbeschichtung bei den zwei obersten Möglichkeiten so durchgeführt, daß die Kupferschichtdicke des Verdrahtungsmusters nach der Stromlos-Lötbeschichtung bei etwa 25 µm verbleibt. Somit umfaßt die vorliegende Erfindung ein Verfahren zur Herstellung einer Leiterplatte, das in der Lage ist, eine Zuverlässigkeitsabnahme infolge der Dickenabnahme der Kupferschicht zu verhindern, die beim Durchführen der Stromlos-Lötbeschichtung auf dem Verdrahtungsmuster verursacht wird.

Patentansprüche

1. Verfahren zur Herstellung einer Leiterplatte, deren Verdrahtungsmusterteil (1) durch ein Stromlos-Lötbeschichtungsverfahren mit einer Lötlegierungsschicht (7) versehen ist, **gekennzeichnet durch** die Schritte:
Verdrahtungsmuster (1) werden auf einem Substrat (4) für die Leiterplatte gebildet;
ein erster Teil (1, 2), der einer Lötlegierungsbeschichtung bedarf, wird mit einer Isolierungsmaske (5) abgedeckt;
eine Stromlos-Beschichtung wird mit einem Metall, das nicht durch eine Stromlos-Lötbeschichtungslösung angegriffen wird, auf einem zweiten Teil (3) durchgeführt, der nicht mit der Isolierungsmaske (5) abgedeckt ist, wodurch eine Metallmaske (6) auf dem zweiten Teil gebildet wird;
die Isolierungsmaske (5) wird abgetrennt;
das Substrat (4) für die Leiterplatte wird in eine Lösung zur Stromlos-Lötbeschichtung eingetaucht, wodurch die Lötlegierung auf dem ersten Teil (1, 2) abgeschieden wird, der nicht mit der Metallmaske (6) abgedeckt ist.

2. Verfahren zur Herstellung einer Leiterplatte nach Anspruch 1, dadurch gekennzeichnet, daß die Isolierungsmasken (5) photosensitive Trockenfilmabdeckmittel oder photosensitive Trockentintenabdeckmittel sind und daß das Maskieren der Isolierungsmasken (5) durch Photolithographie durchgeführt wird.

3. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß das durch die Stromlos-Beschichtung abgeschiedene Metall Gold oder eine Goldlegierung oder Palladium oder eine Palladiumlegierung ist.

4. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 1 bis 3, gekennzeichnet durch den weiteren Schritt, daß eine auf feine Löcher der Metallmaske (6) niedergeschlagene Lötlegierung durch ein Schmelzverfahren nach dem Stromlos-Lötbeschichtungsschritt geschmolzen wird, wodurch die Löcher in der Metallmaske (5) mit der Lötlegierung gefüllt werden.

5. Leiterplatte, deren Verdrahtungsmusterteil (1) mit einer Lötlegierungsschicht durch ein Stromlos-Lötbeschichtungsverfahren überzogen ist, dadurch gekennzeichnet, daß eine erste Dicke einer ersten Lötlegierungsschicht, die an Durchgangsbohrungen (3, 12) abgeschieden ist, kleiner ist als eine zweite Dicke einer zweiten Lötlegierungsschicht, die auf feinen Kontaktierungen (1, 11) abgeschieden ist.

6. Leiterplatte nach Anspruch 5, dadurch gekennzeichnet, daß die erste Dicke der ersten Lötlegierungsschicht, die an den Durchgangslöchern (3, 12) abgeschieden ist, nicht weniger als 0,1 µm und weniger als 10 µm beträgt und daß die zweite Dicke der zweiten Lötlegierungsschicht, die auf den feinen Kontaktierungen (1, 11) abgeschieden ist, nicht weniger als 10 µm beträgt.

7. Verfahren zur Herstellung einer Leiterplatte nach Anspruch 5, deren Verdrahtungsmusterteil (11) mit einer Lötlegierungsschicht (17) durch ein Stromlos-Lötbeschichtungsverfahren versehen ist, dadurch gekennzeichnet, daß:

Verdrahtungsmuster (11) auf einem Substrat (10) für die Leiterplatte gebildet werden;

die Kontaktierungen (11) mit ersten Abdeckmasken (14) abgedeckt werden;

eine erste Stromlos-Lötbeschichtung an zugänglichen Durchgangslöchern (12) durchgeführt wird, wodurch eine erste Lötlegierungsschicht (15) gebildet wird;

die ersten Abdeckmasken (14) abgetrennt werden;

die Durchgangsbohrungen (12) mit zweiten Abdeckmasken (16) abgedeckt werden;

eine zweite Stromlos-Lötbeschichtung auf den feinen Kontaktierungen (11) durchgeführt wird, wodurch eine zweite Lötlegierungsschicht (17) auf den feinen Kontaktierungen gebildet wird, wobei eine erste Dicke der ersten Lötlegierungsschicht (15), die auf den Durchgangslöchern (12) abgeschieden ist, kleiner ist als die zweite Dicke der zweiten Lötlegierungsschicht (17), die auf den feinen Kontaktierungen (11) abgeschieden ist; und daß die zweiten Abdeckmasken (16) abgetrennt werden.

8. Verfahren zur Herstellung einer Leiterplatte, deren Verdrahtungsmusterteil (1, 11) mit einer Lötlegierungsschicht (7, 17) durch ein Stromlos-Lötbeschichtungsverfahren versehen ist, dadurch ge-

kennzeichnet, daß:

Verdrahtungsmuster (1, 11) und Lötabdeckungen auf einem Substrat (1, 10) für eine Leiterplatte gebildet werden;

eine Stromlos-Kupferbeschichtung auf Kupferfußkontaktierungsmustern und Durchgangsbohrungen (3, 12) auf dem Verdrahtungsmuster durchgeführt werden; und daß

eine Lötlegierung auf den Kupferfußkontaktierungsmustern und den Durchgangslöchern (3, 12) durch eine Stromlos-Lötbeschichtung abgeschieden wird.

9. Verfahren zur Herstellung einer Leiterplatte nach Anspruch 8, dadurch gekennzeichnet, daß, nachdem die Verdrahtungsmuster (1, 11) auf dem Substrat (1, 10) für die Leiterplatte gebildet sind und die Stromlos-Kupferbeschichtung auf den Verdrahtungsmustern durchgeführt ist, die Lötabdeckungen gebildet werden und die Lötlegierung auf den Verdrahtungsmustern (1, 11) abgeschieden wird, die nicht mit der Lötabdeckung abgedeckt sind.

10. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 8 oder 9, dadurch gekennzeichnet, daß eine erste Dicke einer Kupferschicht, die durch die Stromlos-Kupferbeschichtung geschaffen ist, nicht geringer ist als eine zweite Dicke der Kupferschicht, die durch die Stromlos-Lötbeschichtung vermindert ist.

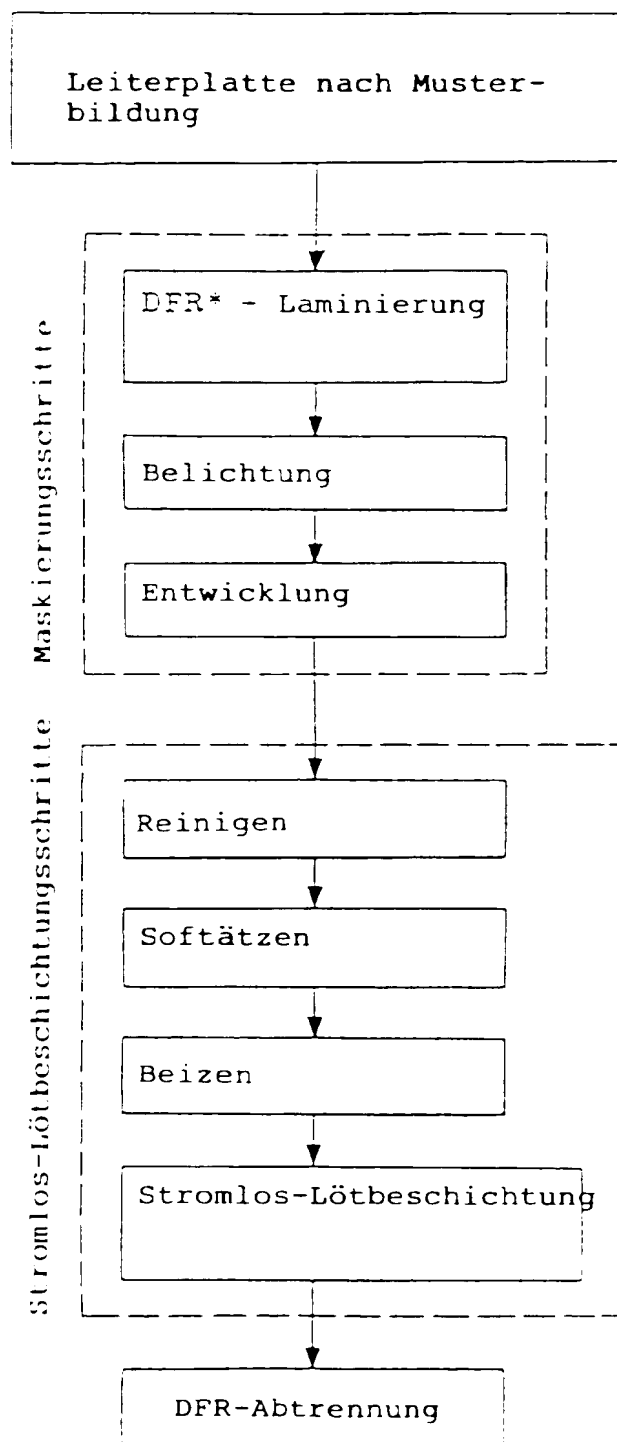
11. Verfahren zur Herstellung einer Leiterplatte nach einem der Ansprüche 8 bis 10, dadurch gekennzeichnet, daß die Stromlos-Kupferbeschichtung derart durchgeführt wird, daß die Dicke der Kupferschicht der Verdrahtungsmuster von 25 µm aufrechterhalten wird.

12. Verfahren zur Herstellung einer Leiterplatte, deren Verdrahtungsmusterteil (1, 11) mit einer Lötlegierungsschicht durch ein Stromlos-Lötbeschichtungsverfahren versehen ist, dadurch gekennzeichnet, daß die Stromlos-Lötbeschichtung durchgeführt wird, während ein Substrat (1, 10) für die Leiterplatte im Ruhezustand ist oder fortwährend oder intermittierend in einer Beschichtungslösung hin- und herbewegt wird.

Hierzu 16 Seite(n) Zeichnungen

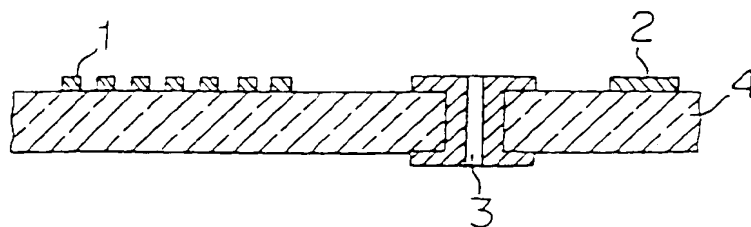
- Leerseite -

FIGUR 1

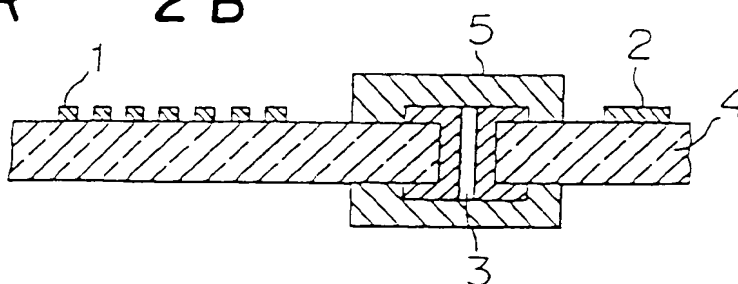


* DFR: Trockenschicht-Abdeckung

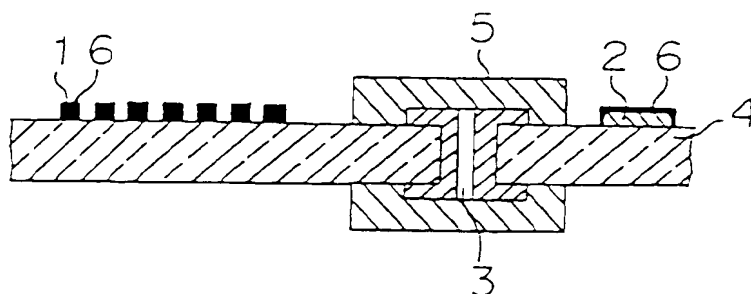
FIGUR 2 A



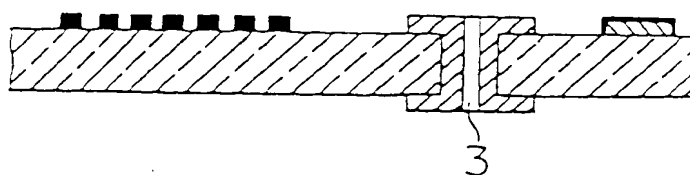
FIGUR 2 B



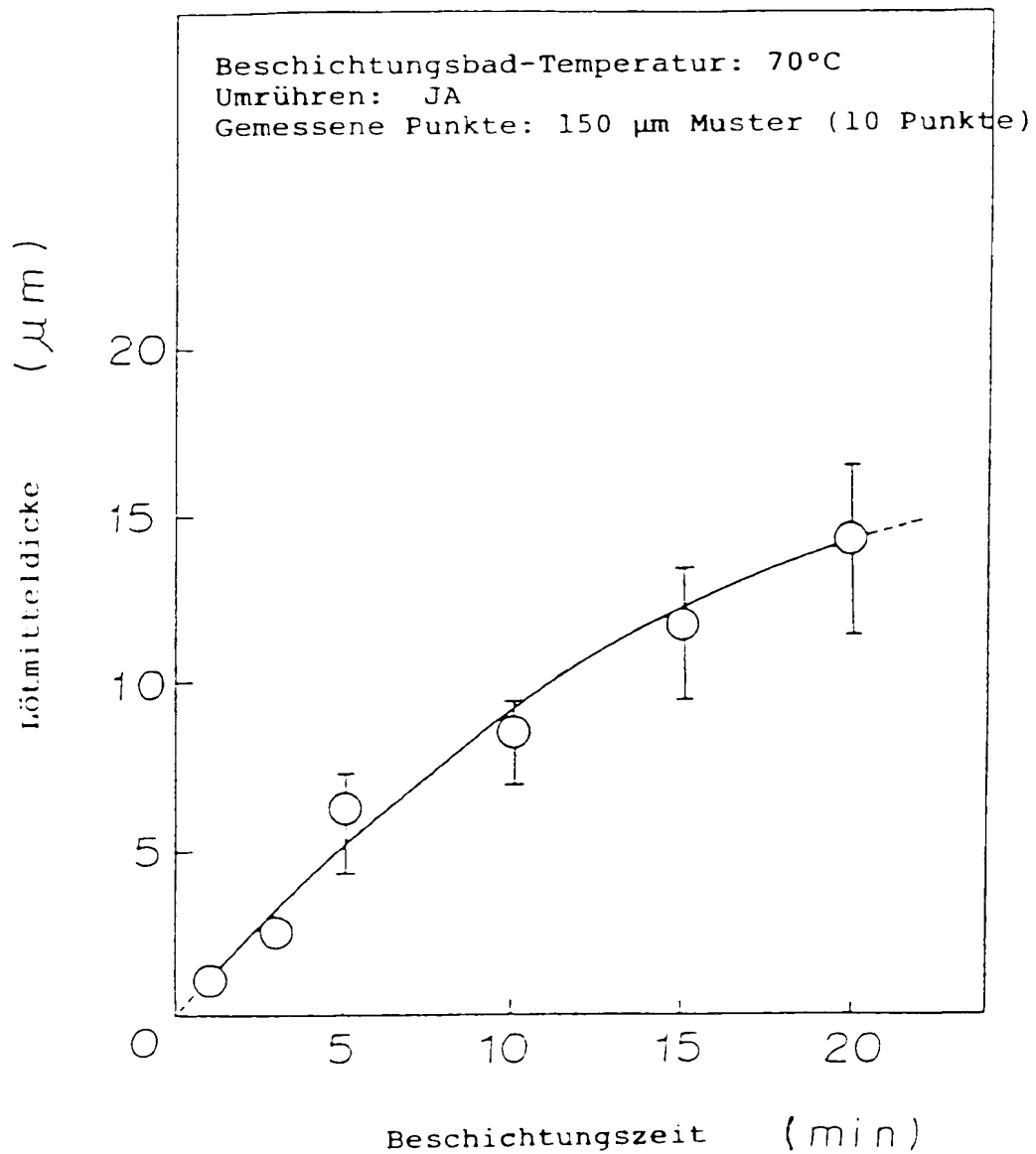
FIGUR 2 C



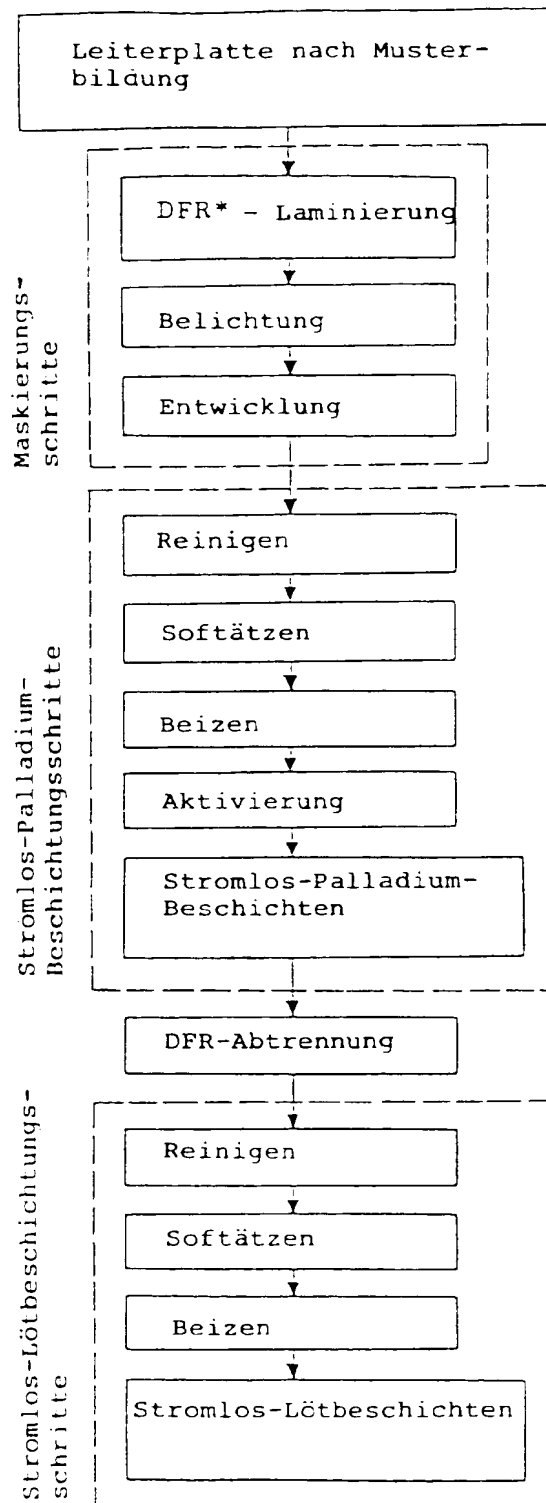
FIGUR 2 D



FIGUR 3

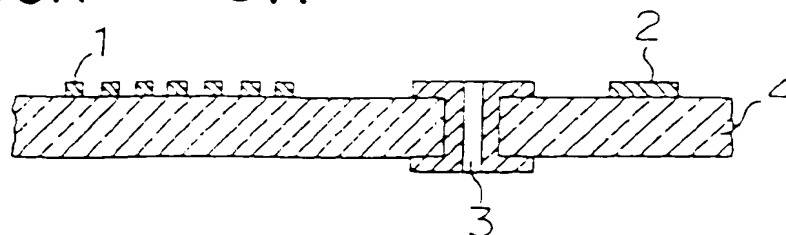


FIGUR 4

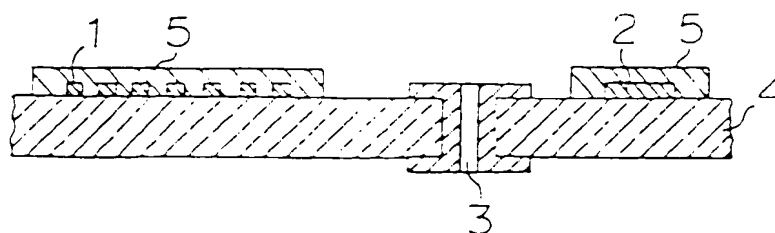


*DFR: Trockenschicht-Abdeckung

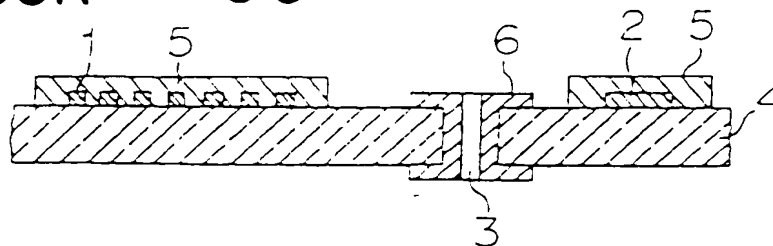
FIGUR 5 A



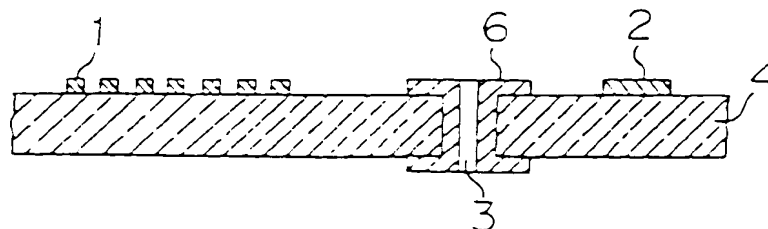
FIGUR 5 B



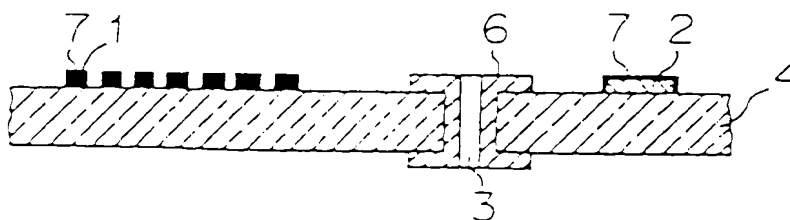
FIGUR 5 C



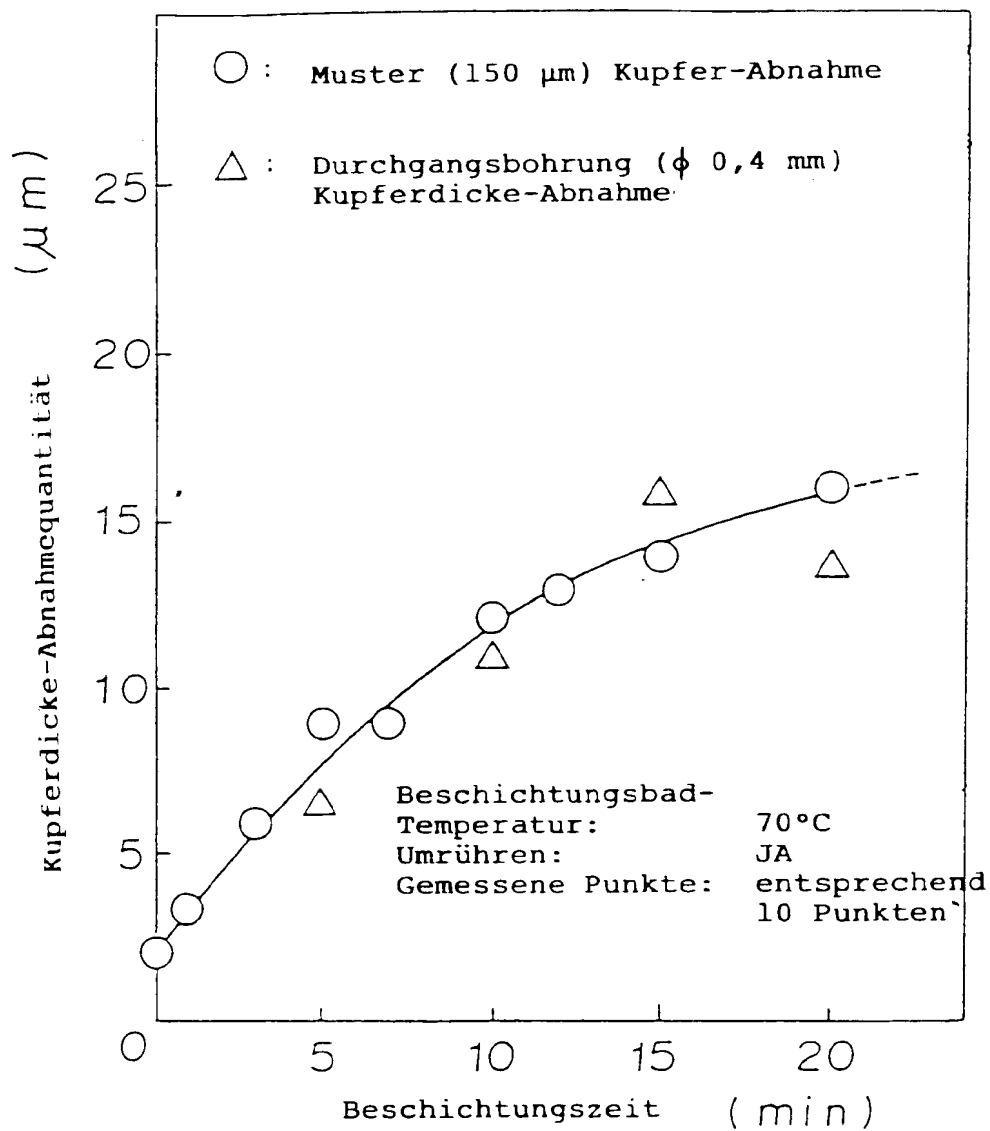
FIGUR 5 D



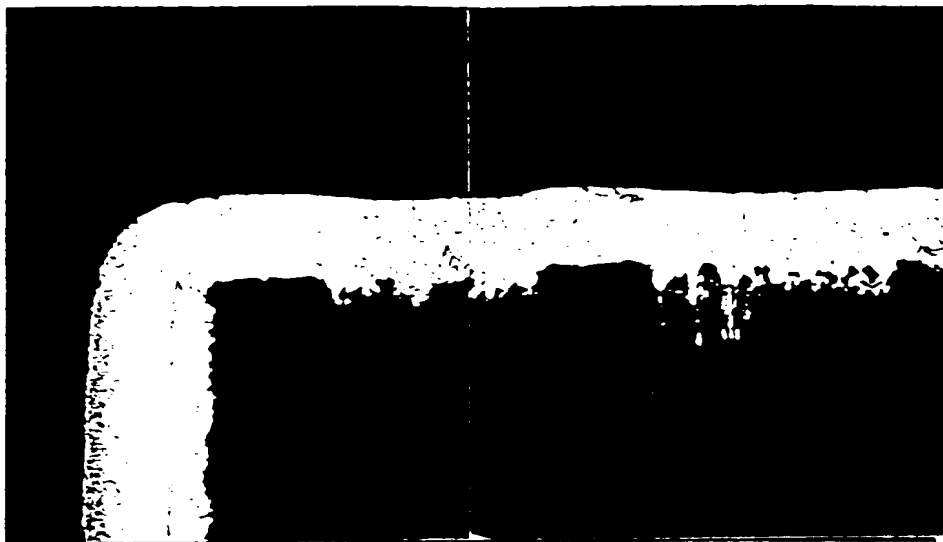
FIGUR 5 E



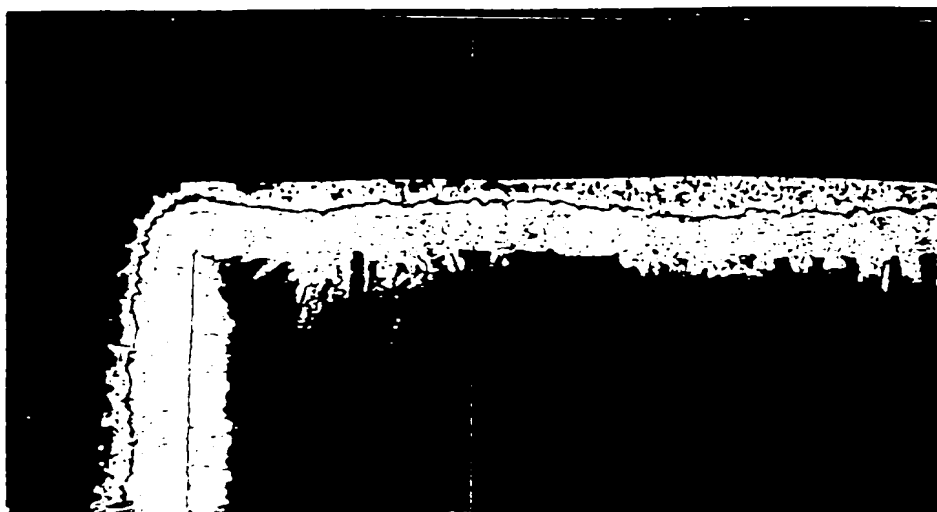
FIGUR 6



FIGUR 7 A



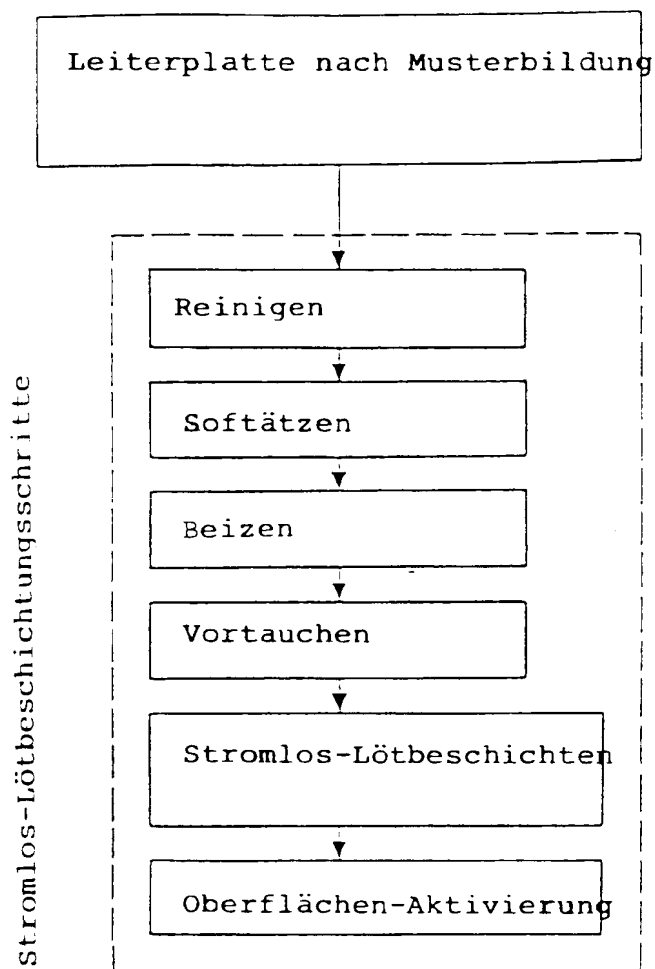
FIGUR 7 B



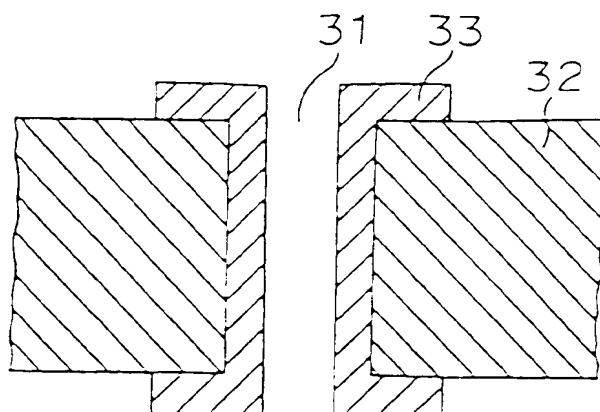
FIGUR 7 C



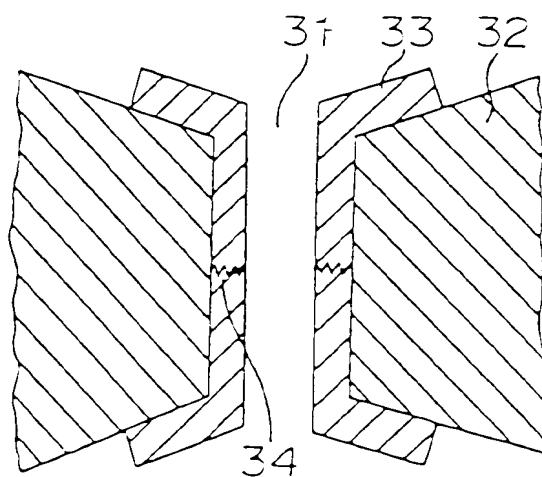
FIGUR 8



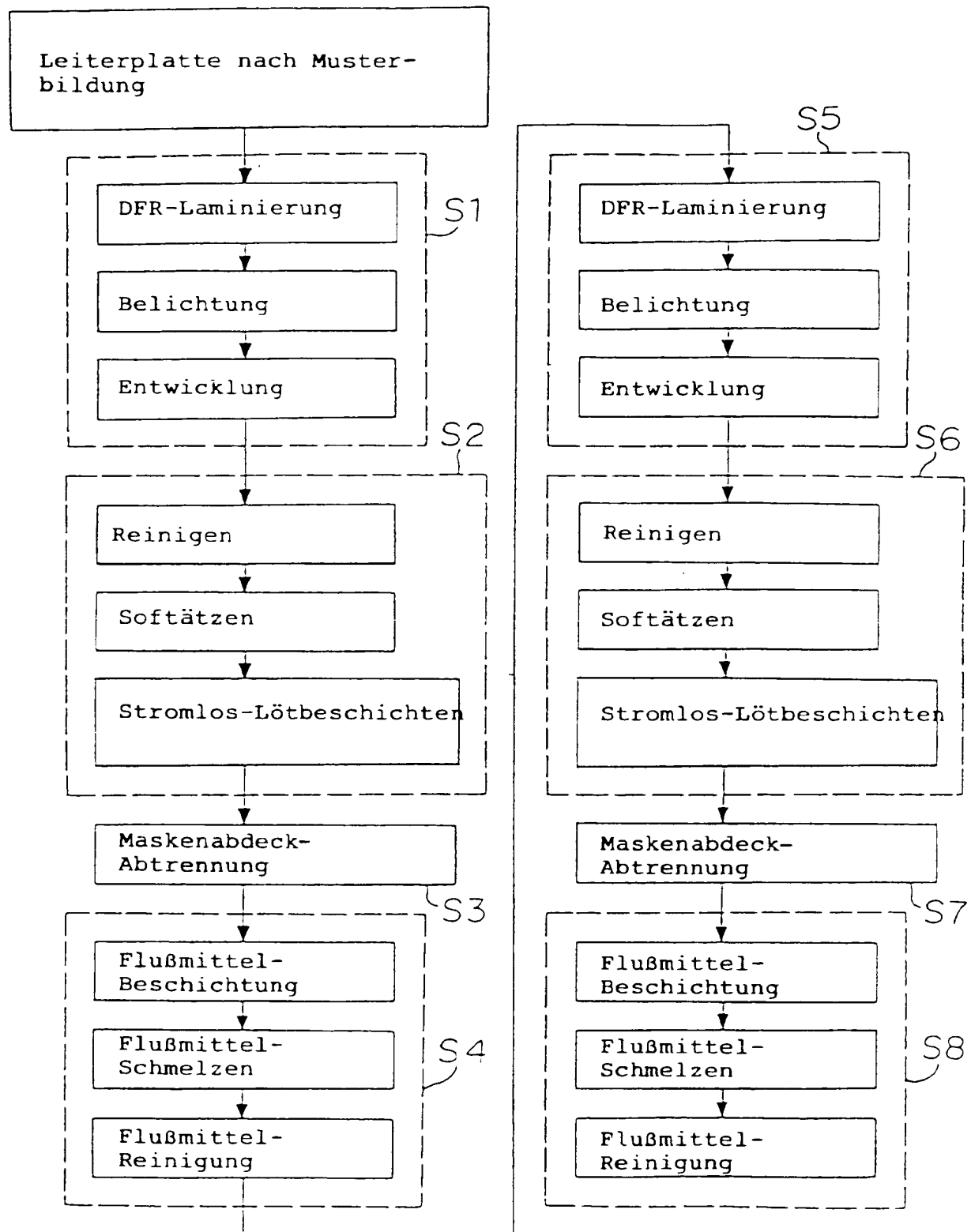
FIGUR 9 A



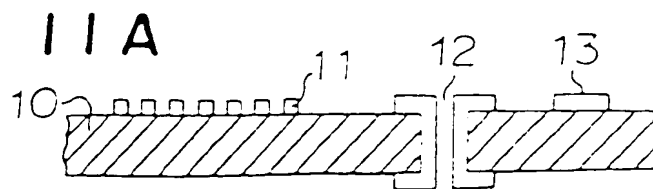
FIGUR 9 B



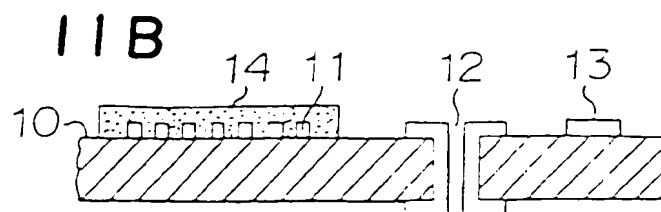
FIGUR 10



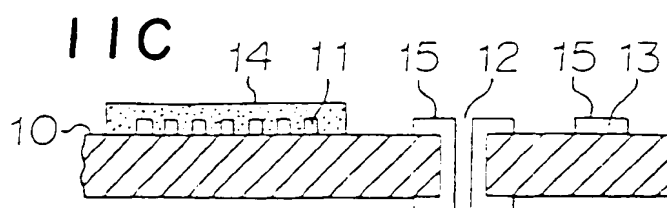
FIGUR



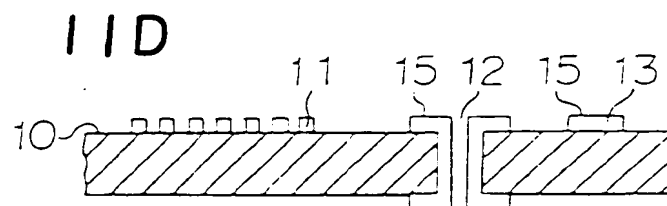
FIGUR



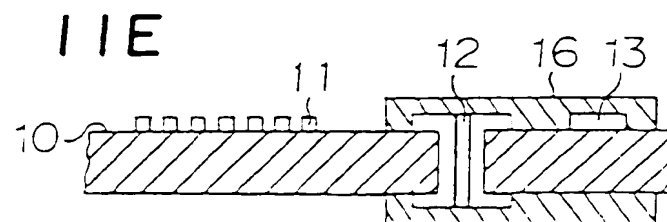
FIGUR



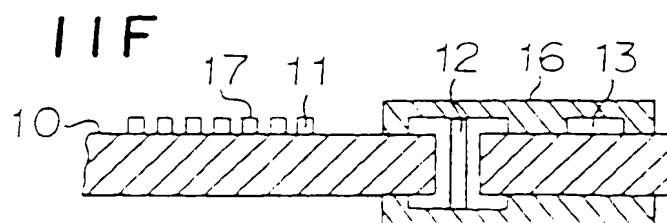
FIGUR



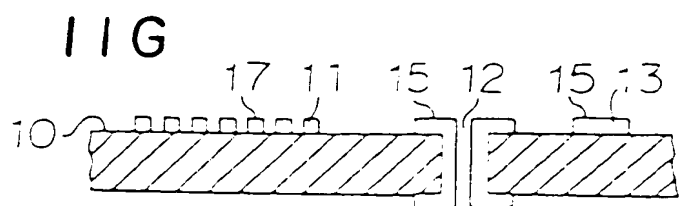
FIGUR



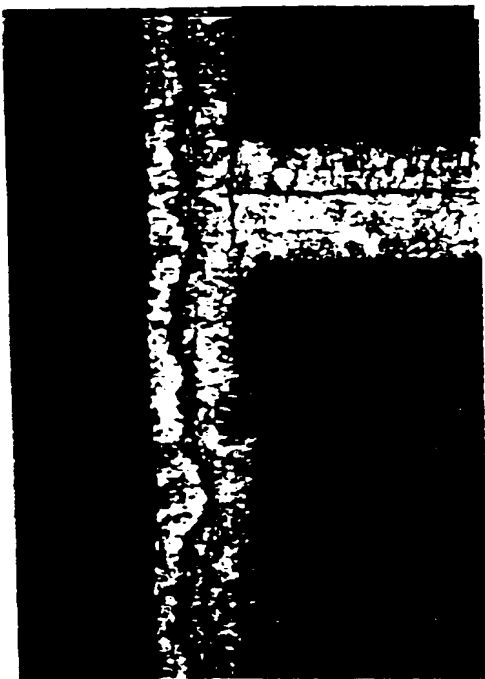
FIGUR



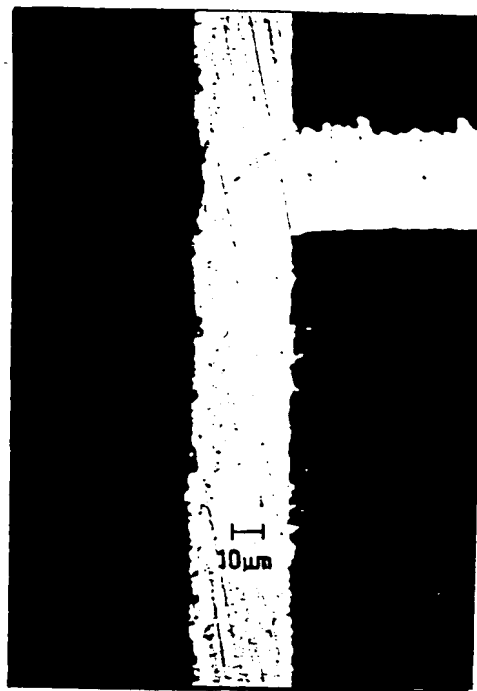
FIGUR



FIGUR 12 A



FIGUR 12 B



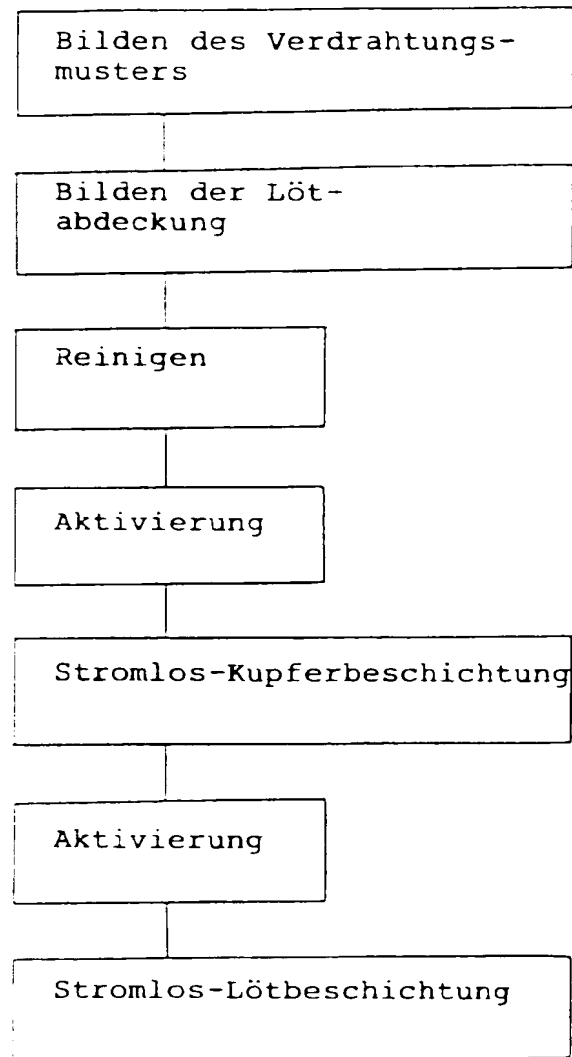
FIGUR 12 C



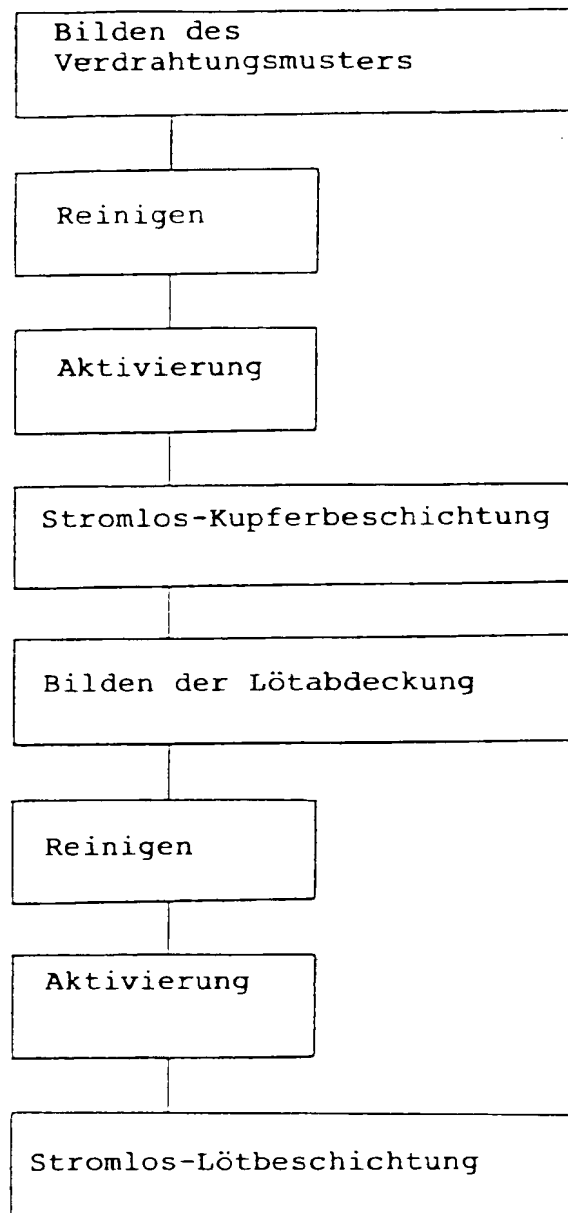
FIGUR 12 D



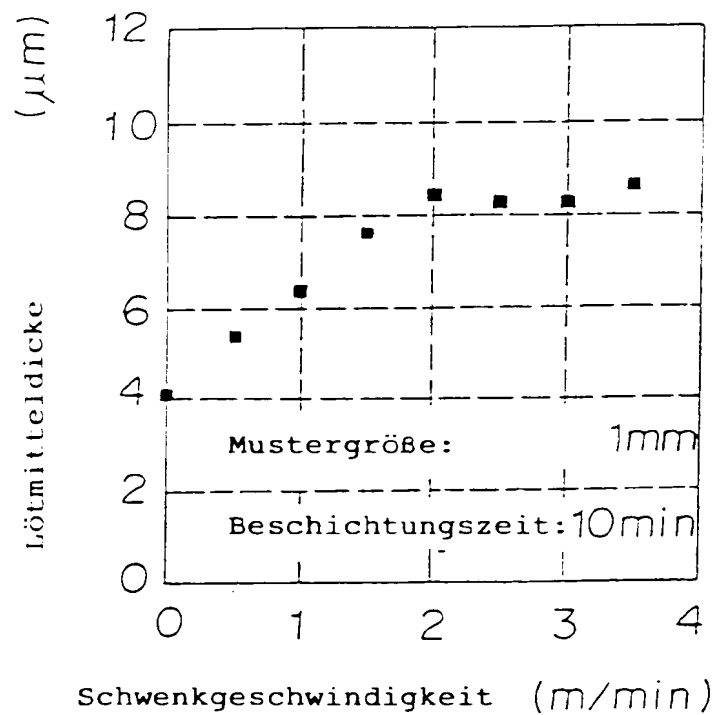
FIGUR 13



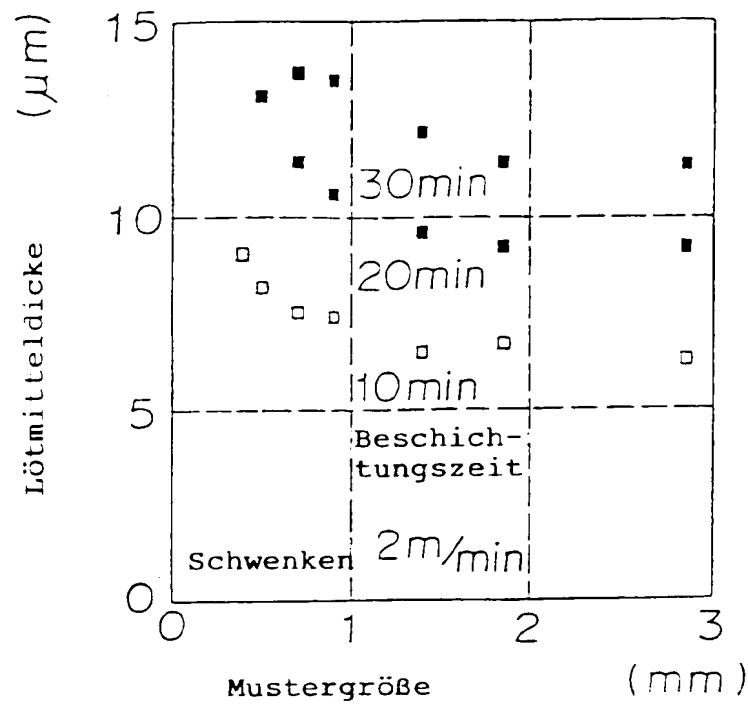
FIGUR 14



FIGUR 15



FIGUR 16 A



FIGUR 16 B

